

**(19) Japan Patent Office**

**(12) Tokkyo Koho (B2): Official Gazette for Patent Applications**

**(11) Japanese Patent Application Publication No.: 2964412**

**(45) Date issued:** 18 October 1999

**(24) Date registered:** 13 August 1999

---

(51) Int. Cl. <sup>6</sup>	Discrimination no.:	FI	
H01L 21/8247		H01L 29/78	371
G11C 27/00	101	G11C 27/00	101A
H01L 27/115		H01L 27/10	434
29/788			
29/792			

**Number of claims:** 1 (12 pages)

---

**(21) Application Filing No.:** H2-97578

**(22) Application Filing Date:** 16 April 1990

**(65) Kokai No.:** H3-94474

**(43) Kokai Publication Date:** 19 April 1991

**Date of Examination Request:** 27 September 1996

**(31) Priority No.:** H1-158381

**(32) Priority Date:** 22 June 1989

**(33) Priority Country:** Japan (JP)

**(73) Patentee:** 999999999

Nippon Telegraph and Telephone Corp.

3-19-2 Nishi-Shinjuku, Shinjuku-ku, Tokyo

**(72) Inventor:** Morie, Takashi

NTT Corp., 1-1-6 Uchi-Saiwai-cho, Chiyoda-ku,  
Tokyo

**(74) Agent:** Patent Attorney Yamakawa, Masaki (one other)

**Examiner:** Kunishima, Akihiro

**(56) References Cited:** Tokkai H4-118965 (JP, A)

Tokkai H1-154563 (JP, A)

Tokkai H3-245575 (JP, A)

Tokkai S49-110250 (JP, A)

Tokkai S59-42697 (JP, A)

Tokkai S58-102394 (JP, A)

**(58) Field of Search (Int. Cl. 6, DB)**

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

G11C 27/00 101

**(54) Title of the invention: Non-volatile memory**

**(57) Claim**

**Claim 1.** Non-volatile memory having memory effects from the accumulation of charge in a floating electrode and comprising:

a charge injection electrode for generating hot carrier through a tunnel effect;

a control electrode for establishing the tunnel voltage established between the charge injection electrode and said floating electrode; and

an insulating film established between said control electrode and floating electrode;

wherein said hot carrier passes through the energy barrier of said insulating film covering said floating electrode and is injected to said floating electrode.

**Detailed specification**

**Area of industrial use**

The present invention relates to the structure of electrically writable non-volatile memory used for storing analog information.

**Prior art**

Recently, attempts have been made to develop recognition apparatuses having practical functions, such as pattern recognition, and mimicking the neural networks of living things. Such apparatuses would have extensive merits if they could be realized with the silicon integrated circuit chips that have increasingly high levels of integration at the present time. In that case, it would be necessary to develop elements having the same functions as synapses, the junctions among nerve cells. Those functions include the storage of analog junction strength and the ability to increase or decrease this junction strength with learning. An important candidate is Electrically Erasable Programmable Read Only Memory (EEPROM). However, EEPROM has the following disadvantages.

At this time, most EEPROM is of the floating electrode type as shown in Figure 10 or the MNOS (metal-nitride-oxide-semiconductor) type as shown in Figure 11. In Figures 10 and 11, 1 shows the control electrode, 2 the floating electrode, 3 the tunnel insulating film, 4 the source region, 5 the drain region, 6 aluminum wiring, 7 the silicon substrate, 8 the gate, 9 the oxide film, 10 the nitride film, and T1 the power terminal. Information is written by injecting charge to the floating electrode or a trap at the interface between the oxide film and nitride film due to tunnel current passing through the insulating film, or channel hot electron injection.

For elements of any structure, the charge injection speed is highly dependent upon the difference in potential between the charge injection side and the charge accumulation side. Therefore, when the potential of the accumulation region changes as charge is accumulated, continuous and linear accumulation of charge becomes difficult. This is explained using an example wherein charge is injected to the floating electrode by the tunnel effect.

Figure 12 shows representative current-voltage properties due to the tunnel effect

in silicon dioxide film (thickness 100 Å, area  $250 \times 250 \mu\text{m}$ ). When the current is small, the tunnel current increases exponentially with respect to the applied voltage. On the other hand, in conventional EEPROM as shown in Figure 10, voltage is applied to the control electrode 1 established on the floating electrode 2 and voltage is applied to the tunnel insulating film 3 by capacitive coupling. Due to this electrical field, electrons are injected from the substrate 7 to the floating electrode by the tunnel effect. When electrons are accumulated in the floating electrode 2, the voltage applied to the tunnel insulating film 3 decreases. Thereupon, the tunnel current decreases exponentially according to the properties in Figure 12. For this reason, when writing is performed with a constant voltage, the change in potential of the floating electrode changes logarithmically over time as shown in Figure 13. The vertical axis in Figure 13 shows the change in the threshold value of the MOS transistor having the floating electrode 2 as its gate; this value is proportional to the amount of charge accumulated in the floating electrode 2.

### **Problems to be solved by the invention**

Writing analog information into conventional EEPROM is difficult for the reasons discussed above. Before now, only digital information of 1 or 0 (written or not written) could be stored.

When analog information is stored in conventional EEPROM, complex control external to the LSI becomes necessary in order to calculate and apply with an external computer the write voltage value for injecting only the quantity of charge corresponding to the analog value to be written, as seen in the paper "An electrically trainable artificial neural network (ETANN) with 10,240 floating gate synapses", International Joint Conference on Neural Network (IJCNN), 1989, Volume 2, p. 191. The present invention was developed in view of this issue. It is an object of the present invention to provide a structure for non-volatile memory with which it is simple to store analog information. Also, it is another object of the present invention to provide an EEPROM structure wherein the write/erase time and quantity of charge accumulated are linear for a constant write/erase voltage.

### **Means for resolving the problems**

As explained above, the present invention is a non-volatile memory having memory effects from the accumulation of charge in a floating electrode and comprising: a charge injection electrode for generating hot carrier through a tunnel effect; a control electrode for establishing the tunnel voltage established between the charge injection electrode and the floating electrode; and an insulating film established between the control electrode and floating electrode; wherein the hot carrier passes through the energy barrier of the insulating film covering the floating electrode and is injected to the floating electrode.

### **Operation**

In the non-volatile memory relating to the present invention, the threshold value of the transistor having the floating electrode as its gate changes in proportion to the injection time, without the tunnel current dropping due to the charge accumulated in the floating electrode.

## Embodiments

The non-volatile memory disclosed in this application is the floating electrode type non-volatile memory wherein a very thin control electrode, for setting tunnel voltage, is established between the charge injection electrode and the floating electrode. The principle of its operation is explained next.

Due to the difference in potential between the charge injection electrode and the control electrode, the carrier (electrons or holes) injected towards the control electrode by the tunnel effect from the charge injection electrode enters the control electrode in a hot (high energy) state. Because the control electrode is very thin, this carrier remains hot as it passes through the control electrode, skips the energy barrier of the insulating film established between the control electrode and the floating electrode, and reaches the floating electrode.

Either positive or negative charge can be accumulated in the floating electrode according to this principle. The difference in potential for tunneling is determined by the difference in potential between the charge injection electrode and the control electrode and is not affected by the potential of the floating electrode. Consequently, the charge injection speed is not dependent on the amount of charge accumulated in the floating electrode. Consequently, the writing time and amount of charge accumulated are proportional and it becomes possible to accumulate analog information.

In the conventional structure, the control electrode is established on the floating electrode. The voltage applied to the tunnel insulating film is from the division of capacitance of the voltage between the charge injection electrode and the control electrode. This depends on the amount of charge accumulated and consequently, the charge accumulation speed slows exponentially as the amount of charge accumulated increases.

Below is shown an embodiment relating to the present invention and constituted using silicon integrated circuit chip manufacturing technology. Of course, [an embodiment] can be constituted in the same way using a compound semiconductor such as GaAs.

Figure 1 shows the structure of a first embodiment of non-volatile memory relating to the present invention. Figure 2 shows a diagram of the energy bands during the write operation. The structure and operating principle are explained using these drawings.

Moreover, the read transistor 11 is an enhancement-type PMOS transistor. Therefore, it can be used as analog memory only when the gate voltage is negative. Consequently, a state in which positive charge is accumulated on the whole in the floating electrode 2 is not considered. However, the read transistor 11 may also be a general depression-type or NMOS [transistor]. The object of the read transistor 11 is to detect a change in potential of the floating electrode 2, and therefore [the read transistor 11] may be any type that achieves this object. The type of charge accumulated in the floating electrode 2 varies according to the constitution of the read transistor 11.

Unlike digital memory, analog memory is inadequate for just realizing writing and erasing. In the present embodiment, the potential of the floating electrode can be reduced and the channel resistance of the read transistor 11 can be reduced by injecting

electrons to the floating electrode 2. Oppositely, the potential of the floating electrode 2 can be reduced and the channel resistance can be raised by injecting holes. Here, the former is called negative writing and the latter is called positive writing.

Also, in the present embodiment, the charge injection electrode uses a diffusion layer formed on the silicon substrate; moreover, this may be a diffusion layer with both p and n conductivity types in consideration of the symmetry of the tunnel effect during positive and negative writing. In theory, however, the charge injection electrode may be a diffusion layer with a single conductivity type or of metal established on the substrate and of the same type as the control electrode.

Next, the structure of the present embodiment is explained using Figure 1. The materials used for the control electrode 1 and the floating electrode 2 may be any type of conductive materials, for example, doped polysilicon, aluminum, gold, molybdenum, or tungsten. The control electrode 1 is as thin as possible, on the order of 100 Å for example, in order to minimize scattering and absorption of the high-energy carrier. The thickness of the floating electrode 2 is 1000 Å or greater in order that the injected carrier not pass through.

Silicon dioxide film is used for the tunnel insulating film 3 and the insulating film 12 between the control electrode 1 and the floating electrode 2. The work function difference between the materials for the control electrode given above and the silicon dioxide film is 3 to 4 eV. When the maximum change in potential of the floating electrode due to accumulated charge in the floating electrode 2 is 3 V, the energy of the carrier directly after tunneling must become at least 7 eV or greater as seen from the floating electrode 2. With this energy difference, the oxide film thickness that allows sufficient tunnel current to flow without reaching dielectric breakdown is about 80 Å. The tunnel current in this case is the Fowler-Nordheim type. The carrier passes through the conduction band of the oxide film and is accelerated there.

On the other hand, the thickness of the insulating film 12 is determined as follows. During writing, the high-energy carrier passes through the conduction band of the insulating film 12, but at this time the carrier is scattered by phonons and loses energy. The insulating film 12 should be as thin as possible in order to minimize the percentage [of carrier that loses energy]. However, [the insulating film] must be thick enough that the charge accumulated in the floating electrode 2 does not pass to the control electrode 1 side with the tunnel effect in the standby state or reading state. When the maximum value of the change in potential of the floating electrode 2 is 3 V as noted above, the thickness of the insulating film 12 should be 70 Å.

The charge injection electrodes 13 and 14 are diffusion layers with carrier concentrations of  $10^{20} \text{ cm}^{-3}$  or greater.

Moreover, in Figure 1 (a), WB shows a well separation groove and WL shows an n well. Also, Figure 1 (b) is a cross sectional view taken at dotted line A-A' in (a) and (c) is a cross sectional view taken at dotted line B-B'.

Next, the operation of the first embodiment of the present invention is explained using Figure 2. Figure 2 (a) shows energy bands in the case where no charge is accumulated in the floating electrode 2 and the writing bias is not applied. The difference

in contact potential of the electrode materials is unimportant here and therefore may be ignored. In the following explanation, the charge injection electrodes 13 and 14 continuously have potentials of 0. Moreover, in Figure 2, 2a shows the position of the floating electrode (metal), 12a shows the position of the insulating film 12, 1a shows the position of the control electrode (metal) 1, 3a shows the position of the tunnel insulating film, and 13a shows the position of the charge injection electrode ( $n^+$  Si) 13. Also, the energy level is shown in a vertical direction and the shaded portion shows the energy range of the electrons.

Figure 2 (b) shows the negative writing state. In the case of negative writing, a positive bias (7 V or more) is provided to the control electrode 1 and electrons are injected from the charge injection electrode 13 as shown by the arrow AR1. Even when the potential of the floating electrode 2 decreases as electrons are accumulated, the energy distribution of the electrons upon entering the insulating film 12 is sufficiently higher than the energy barrier of the insulating film 12 and electrons can be injected independently of the potential of the floating electrode 2.

Figure 2 (c) shows the positive writing state. In the case of positive writing, a negative bias (-4 V or greater, for example) is provided to the control electrode 1 and holes are injected from the charge injection electrode ( $p^+$  Si) 14 as shown by the arrow AR2. As discussed earlier, the potential of the floating electrode 2 does not become very much higher than that of the control electrode 1 in this structure, and therefore the energy provided to the holes may be greater than the work function difference (4 eV) of the control electrode 1 and the insulating film 12.

With the first embodiment explained above, the potential of the floating electrode 2 becomes less than that of the control electrode 1 and the carrier must have energy, including the drop in potential of the floating electrode 2, in order to pass through the energy barrier of the insulating film 12. For this reason, when the tunnel insulating film 3 is constituted of silicon dioxide film, there are constraints to the film thickness and the tunnel current is of the Fowler-Nordheim type. In this case, the carrier spends a long time in the conduction band of the insulating film and has a high energy loss. Also, the extreme scattering and absorption of higher energy carriers in the control electrode 1 result in a low overall amount of electrons reaching the floating electrode. These disadvantages are resolved in the second embodiment shown next and a structure is disclosed wherein any quantity of charge can be accumulated in the floating electrode 2 without requiring excessive energy of the carrier.

In the second embodiment of the present invention, the first embodiment further includes a second control electrode (referred to as "supplementary control electrode" 16 established on the floating electrode 2 with the insulating film 15 therebetween (Figure 3 (b)). The structure is therefore more complex compared to the first embodiment, but has the following advantages.

The material for the supplementary control electrode 16 is the same as that for the control electrode 1 and the floating electrode 2. Also, the supplementary control electrode 16 has no restrictions to its thickness and may be 1000 Å, for example, so long as the potential may be set. The material for any insulating film 15 is silicon dioxide film like the insulating films 3, 14. The thickness of the insulating film 15 is 70 Å like the

insulating film 12.

When a positive bias deeper than the bias applied to the control electrode 1 is applied to the supplementary control electrode 16 during negative writing, the supplementary control electrode 16 functions so that the potential of the floating electrode 2 does not become lower than the potential of the control electrode 1 even when electrons are accumulated in the floating electrode 2 (Figure 4 (b)). An increase to the energy barrier of the insulating film 12, due to the drop in potential of the floating electrode 2 caused by electron accumulation, can thereby be prevented. Consequently, the energy necessary for the electrons may be greater than or equal to the work function (4 eV) of the floating electrode 2 and the control electrode 12. This is not dependent on the quantity of charge accumulated in the floating electrode 2. Moreover, in Figure 4, 15a shows the position of the insulating film 15, 16a shows the position of the supplementary control electrode (metal) 16. In this figure, the same symbols are used for portions corresponding to the same portions in Figure 2.

Other advantages result from the necessary energy for the electrons being less than in the first embodiment. Specifically, the tunnel insulating films 3 can be made thin because the voltage applied to the floating electrode 2 may be 4 V or greater. As a result, the advantage is that an oxide film may be used in the region near direct tunneling, that is the tunnel mechanism, and not passing through the conduction band of the oxide film. The energy loss becomes small because of the short distance of passage through the conduction band. The conditions for direct tunneling in the silicon dioxide film depend on the material of the gate electrode and are an oxide film thickness of 40 Å or less and an applied electrical field of 10 MV/cm or less in the case of doped polysilicon. Under these conditions, however, the current density is small at  $10^{-6}$  A/cm<sup>2</sup> and requires a large tunnel area for high-speed writing. Therefore, the film thickness for Fowler-Nordheim tunneling conditions is also used; that thickness is 40 to 80 Å. In this second embodiment, the thickness of the tunnel oxide film 3 is 50 Å. Furthermore, when the hot carrier passes through the control electrode, the energy of the electrons is low compared to the first embodiment; as a result, the percentage that is scattered and absorbed is small. Consequently, the percentage of electrons reaching the floating electrode 2 becomes high compared to the first embodiment.

In the case of positive writing, a negative bias (for example, -4 V or greater) is provided to the control electrode 1 and holes are injected from the charge injection electrode (p<sup>+</sup> Si) 14. At this time, a negative bias deeper than the bias applied to the control electrode 1 is applied to the supplementary control electrode 16, so that the potential [typo in source text] of the floating electrode 2 does not become greater than the potential of the control electrode 1 even if holes are accumulated in the floating electrode 2. Normally, however, because negative writing is already being performed and the potential of the floating electrode 2 has become low, the same bias as the control potential may be applied to the supplementary control electrode 16 (Figure 4 (c)).

Also, because the restrictions to the thickness of the insulating film 12 are eliminated, a thickness of 100 Å or greater is possible and the charge retention properties can be improved. This is one of the major advantages of the present embodiment, as compared to a conventional floating electrode type EEPROM that has no improvement to the retention characteristics because of the low writing voltage and the thin tunnel



insulating film.

Moreover, because this supplementary control electrode 16 may have a capacitive coupling with the floating electrode 2, the positioning on the upper portion of the floating electrode as shown in Figure 3 is not necessarily required. Also, using a capacitive coupling with the read transistor 11 makes it possible to eliminate the supplementary control electrode 16. In Figure 4, (a) is a diagram of the energy bands showing the initial state of no bias and no charge accumulation as in Figure 2 (a).

The results of experiments performed to demonstrate the effectiveness of the second embodiment are explained. An investigation was made of the current flowing into the floating electrode when a terminal is established on the floating electrode and the potential of the floating electrode is varied. Because this is not a "floating" electrode, it is called a probe electrode in the following explanation. The thickness of the tunnel insulating film is 75 Å and the area of the tunnel region is  $1.1 \mu\text{m}^2$ . Phosphorous-doped polysilicon with a thickness of 130 Å and an impurities concentration of  $5 \times 10^{19} \text{ cm}^{-3}$  was used for the control electrode. The same phosphorous-doped polysilicon with a thickness of 1500 Å was used for the probe electrode. A silicon dioxide film with a thickness of 150 Å was used for the insulating film (corresponding to the insulating film 12) between the control electrode and the probe electrode. Figure 5 (a) and (b) shows the relationship between the potential of the probe electrode and the current flowing in the control electrode and probe electrode. Here, the control electrode has the potential of 0. Figure 5 (b) shows an example when -11.3 V is applied to the charge injection electrode. When the potential of the probe electrode exceeds 0.7 V, the probe electrode current flows out and when the potential of the probe electrode is increased from 1 V to 3 V, the probe electrode current increases by less than 15%. These results show that the probe electrode current is not dependent on the potential of the probe electrode, as compared to the exponential increase in current in a conventional EEPROM structure. Consequently, the effectiveness of the second embodiment is demonstrated.

It should be noted that the probe electrode current does not flow when the potential of the probe electrode is at 0.7 V or less. This is thought to be a result of the entire thin control electrode being depleted because of the high applied voltage and the potential of the control electrode being suppressed to 0 V, because the impurities content of the polysilicon used for the control electrode is not high enough. When a potential of the probe electrode is increased and exceeds 0.7 V, the depletion of the control electrode is alleviated because of the voltage of the probe electrode, the potential of the control electrode is fixed, the probe electrode current flows suddenly. This interpretation correctly explains the priorities of the control electrode current (Figure 5 (a)). If the potential of the control electrode is completely fixed, the control electrode current becomes constant without relation to the potential of the probe electrode. Consequently, the principle wherein current flows when the probe electrode has a lower potential than the control electrode, as explained by the first embodiment, is not negated by Figure 5 (b).

Next, a third embodiment, wherein the second embodiment is made using the polysilicon gate process that is conventional EEPROM manufacturing technology, is explained using Figures 6 and 7.

In this embodiment, pairs of the charge injection electrode and control electrode with different conductivity types depending on whether positive or negative writing operations are performed (17 and 18 are n type and 19 and 20 are p type) are prepared. The charge injection electrode comprises a diffusion layer formed on the silicon substrate and the control electrode comprises doped polysilicon. The tunnel insulating film 3 and the insulating film (silicon dioxide film) 12 between the control electrode 18, 20 and floating electrode 2 are used.

The read transistor 11 is provided a gate 21 in order that it may detect the quantity of charge accumulated in the floating electrode 2.

Because of this gate, the type of the read transistor explained at the beginning of the first embodiment is not an issue. Specifically, the quantity of charge accumulated in the floating electrode is detected as a change in the threshold value of the read transistor as in the prior art. Consequently, the gate 21 corresponds to the control electrode of conventional EEPROM. In the present invention, [this gate] also functions as the supplementary control electrode explained the second embodiment. The gate insulating film 22 must be sufficiently thicker than the tunnel insulating film 3 in order that charge is not injected to the floating electrode from this portion during writing. For example, a thickness of 120 Å or greater is required.

Figure 7 (a) shows the energy bands during negative writing. The gate 21 has a capacitive coupling with the floating electrode 2; as a result, a positive bias deeper than the bias applied to the control electrode 18 during negative writing is applied to the gate 21, so that the potential of the floating electrode 2 does not become less than the potential of the control electrode 18 even when electrons are to be emitted in the floating electrode 2.

Figure 7 (b) shows the case of positive writing. As above, an appropriate bias is applied to the gate 21 so that the potential of the floating electrode 2 does not become greater than the potential of the control electrode 20 even when holes are accumulated in the floating electrode 2.

Next, the reason for the necessity for a pair of electrodes with different conductivity types for positive and negative writing is explained. Because of the relation to the current supply, an n type semiconductor in the case of negative writing and a p type semiconductor in the case of positive writing are appropriate for the charge injection electrode. Next, even when a negative bias is applied to the control electrode 18 (n<sup>+</sup> polysilicon), for example, and holes are injected to the control electrode side, electrons pass from the control electrode 18 to the charge injection electrode at the same time. Due to this current, a greater electrical field cannot be applied to the tunnel insulating film 3 and hot hole injection becomes difficult. This applies to the opposite case as well.

In the first through third embodiments, tunneling between the charge injection electrode and the control electrode occurs through the insulating film 3, but as shown in Figures 8 and 9, it is also possible for the charge injection electrodes 13 (p<sup>++</sup>), 14 (n<sup>++</sup>) and the control electrode 1 (n<sup>++</sup> and p<sup>++</sup>) to be formed by highly concentrated diffusion layers of opposite conductivity types in the semiconductor substrate and for carrier injection by tunneling in the band due to a strong band curvature at the pn junction under reverse bias. In this case as well, the diffusion layer constituting the control electrode 1

must be very thin, 1000 Å or less. Moreover, the same symbols are used in Figure 9 for corresponding portions in Figure 4.

### **Effect of the invention**

As explained above, the present invention is provided a carrier injection electrode for generating hot carrier due to the tunnel effect, a control electrode for establishing tunnel voltage established between this charge injection electrode and floating electrode, and an insulating film established between the control electrode and the floating electrode. Due to the hot carrier exceeding the energy barrier of the insulating film covering the floating electrode and being injected to the floating electrode, the difference in potential for tunneling is determined by the difference in potential between the charge injection electrode and the control electrode and is not influenced by the potential of the floating electrode. If the control electrode is very thin, charge can be accumulated in the floating electrode proportional to the injection time and without tunnel current dropping due to charge accumulated in the floating electrode. Moreover, the threshold value of the transistor having the floating electrode as its gate can be changed in proportion to the injection time. Non-volatile memory with which the storage of analog values is simple can be constituted thereby.

If a supplementary control electrode is established on the floating electrode with an insulating film therebetween, the floating electrode can be covered by an insulating film that is thicker than in the case of conventional floating electrode-type EEPROM cells, as shown by the second embodiment. Accordingly, EEPROM with good charge retention properties can be constituted thereby.

Furthermore, conventional EEPROM applies voltage to the tunnel insulating film established between the charge injection electrode and the floating electrode due to the division of capacitance between the charge injection electrode and the floating electrode and the capacitance between the floating electrode and the control electrode. As a result, the ratio of the capacitance between the charge injection electrode and floating electrode to the capacitance between the floating electrode and the control electrode must be as small as possible in order for effective application to the tunnel insulating film of the writing voltage applied to the control electrode. There are limits to how small the former capacitance can be made and thinning the insulating film between the floating electrode and the control electrode in order to increase the latter capacitance is not desirable because it negatively affects the charge retention properties. The area of the overlap between the floating electrode and the control electrode must therefore be made as large as possible and it therefore becomes difficult to reduce cell area. On the other hand, because the present invention does not use the capacitive coupling method, there are no limits to either capacitance and it therefore becomes easy to reduce cell area. Also, a sufficient change in the threshold value voltage for the read transistor is attained with a small quantity of charge because the capacitance of the floating electrode can be made small.

Due to the above the advantages, high-density and high-capacity memory enabling easy, non-volatile storage of analog information can be constituted with the present invention. In other words, without requiring complex control circuitry external to the memory, non-volatile storage with good retention properties of information

proportional to the number of pulses becomes possible with a writing voltage pulse having constant voltage. If this is applied to integrated circuit chips used in neural networks, for example, it becomes possible to compose high-density, high capacity neural network-type analog integrated circuit chips and therefore to create very high capacity pattern recognition apparatuses and voice recognition apparatuses.

### **Brief explanation of the drawings**

Figures 1 and 2 are structural diagrams and energy band diagrams during various operations for the first embodiment of the present invention;

Figures 3 and 4 are structural diagrams and energy band diagrams during various operations for the second embodiment of the present invention;

Figure 5 is a graph showing the relationship of the current flowing in the control electrode and probe electrode (floating electrode) to the potential of the probe electrode (floating electrode) from experimental data demonstrating the effectiveness of the second embodiment;

Figures 6 and 7 are structural diagrams and energy band diagrams during various operations for the third embodiment of the present invention;

Figures 8 and 9 are structural diagrams and energy band diagrams during various operations for the fourth embodiment of the present invention;

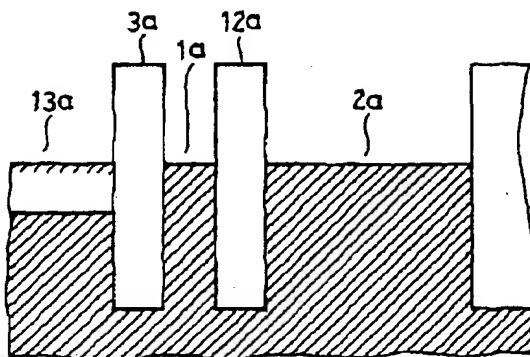
Figures 10 and 11 are cross sectional views showing the floating electrode type and MNOS type EEPROM cells that are typical examples of non-volatile memory used before now;

Figure 12 is a graph showing representative tunneling properties in silicon dioxide film; and

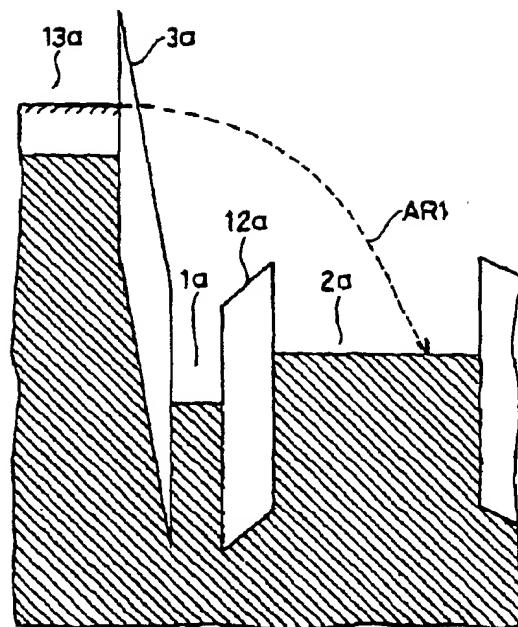
Figure 13 is a graph showing the relationship of EEPROM writing time to the amount of change in the threshold value of the transistor having a floating electrode as its gate.

1. Control electrode, 2. Floating electrode, 3. Tunnel insulating film, 11. Read transistor, 12. Insulating film, 13, 14. Charge injection electrode.

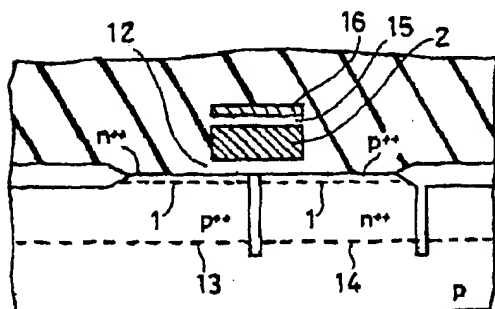
【Fig. 2 (a)】



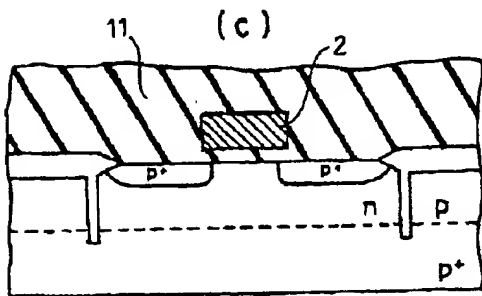
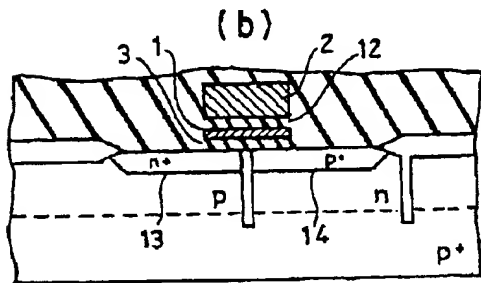
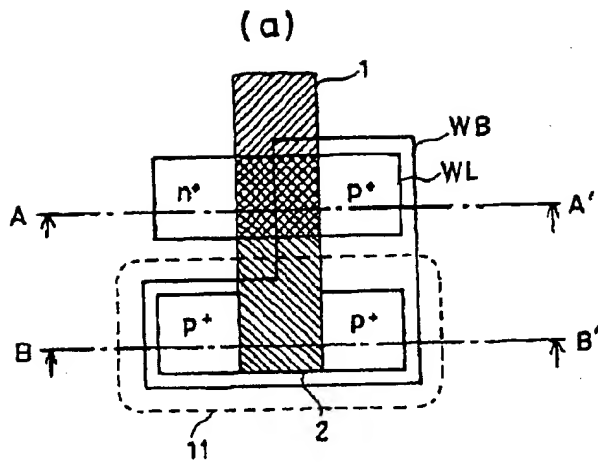
【Fig. 2 (b)】



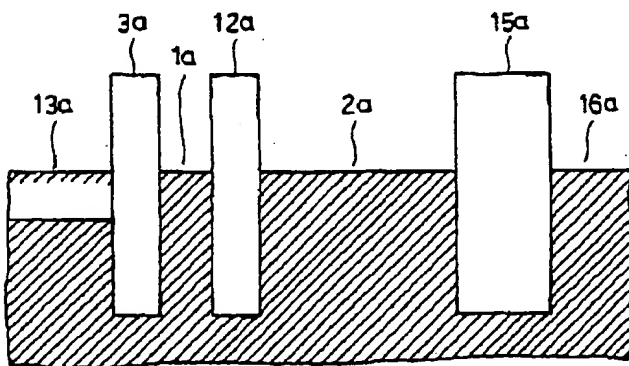
【Fig. 8】



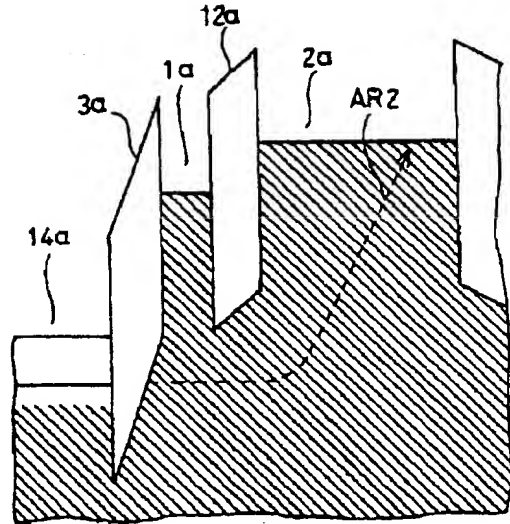
【 Fig. 1 】



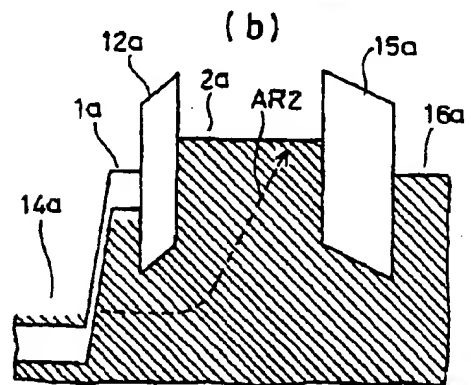
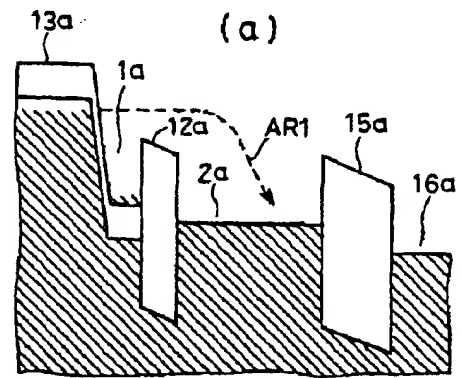
【 Fig. 4 (a) 】



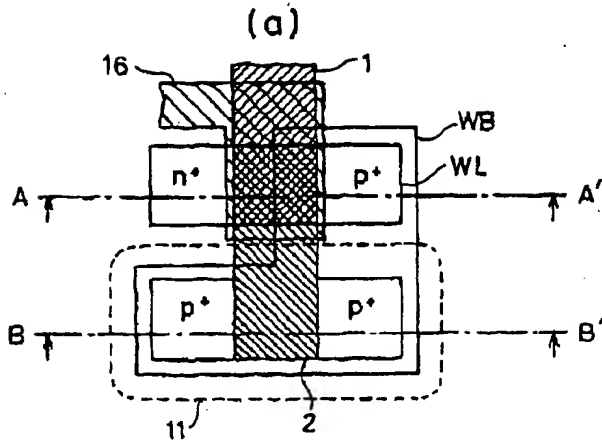
【 Fig. 2 (c) 】



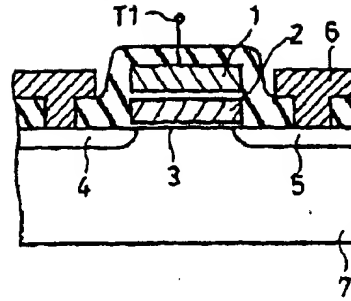
【 Fig. 9 】



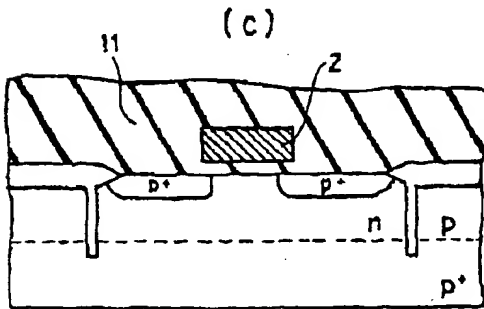
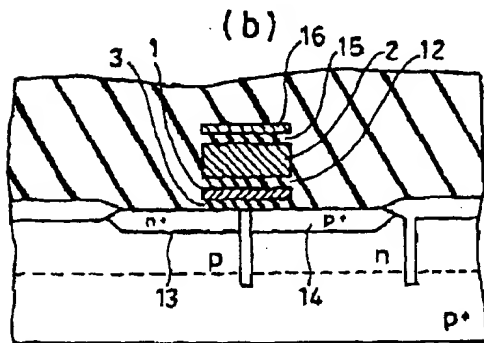
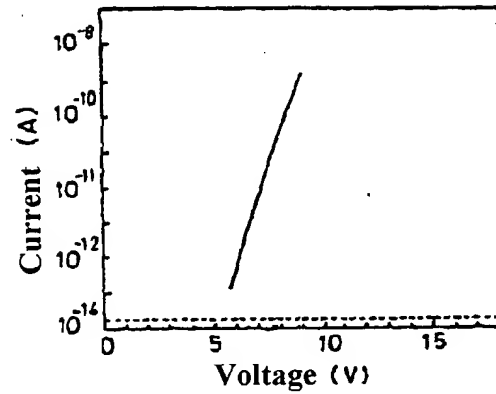
【 Fig. 3 】



【 Fig. 10 】

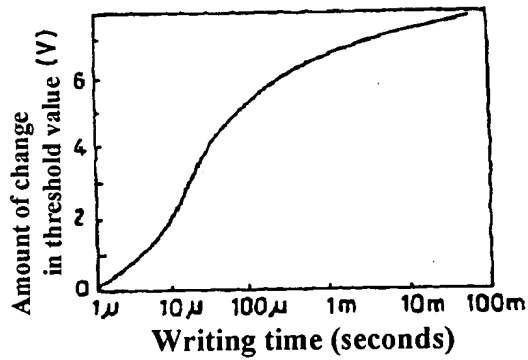
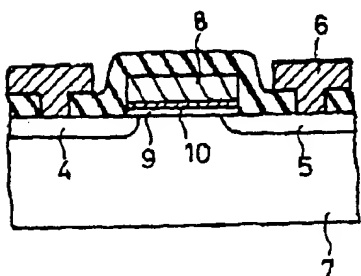


【 Fig. 12 】

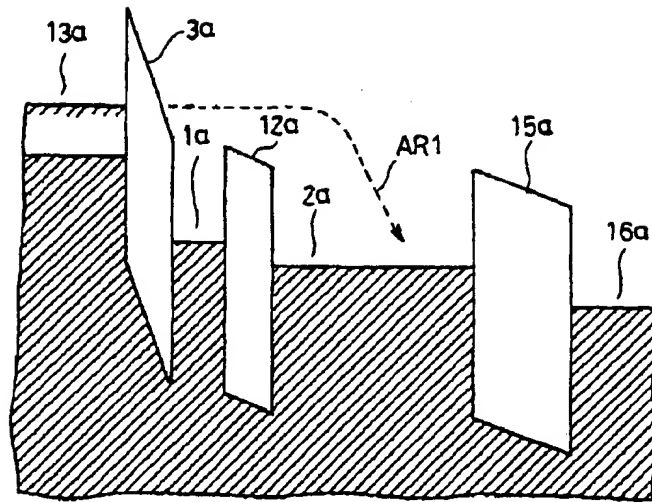


【 Fig. 11 】

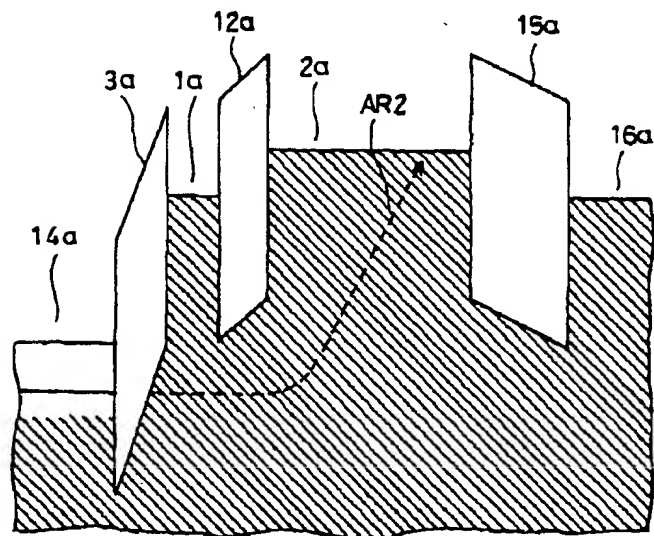
【 Fig. 13 】



【 Fig. 4 ( b ) 】



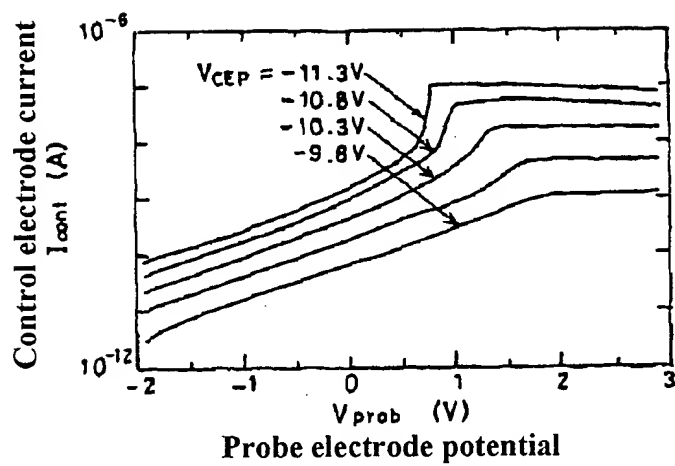
【 Fig. 4 ( c ) 】



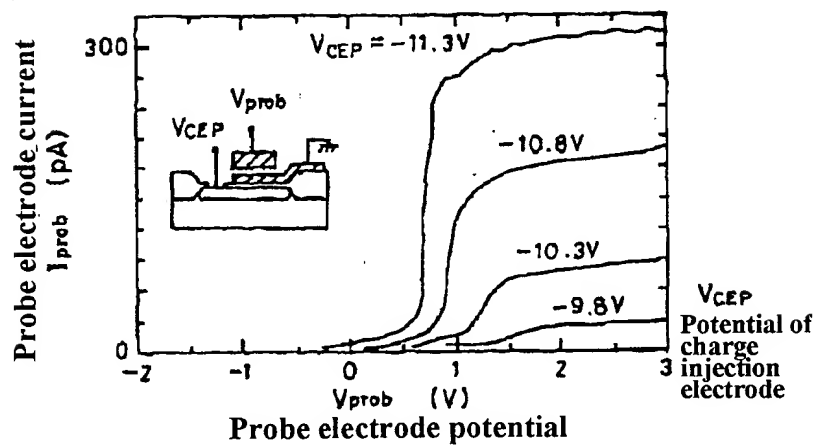


[Fig. 5]

(a)

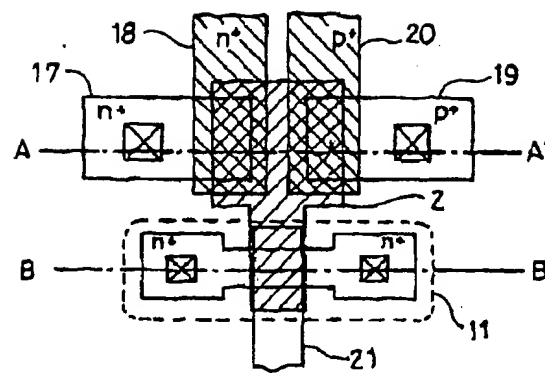


(b)

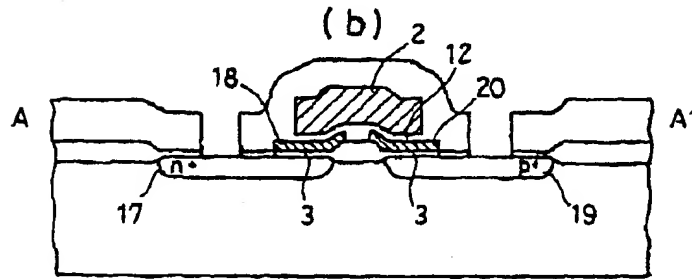


[Fig. 6]

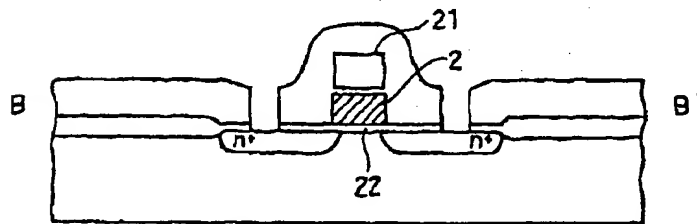
(a)



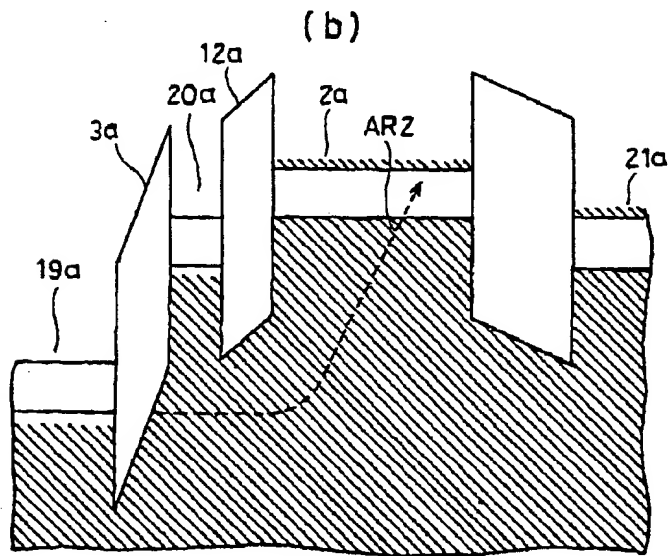
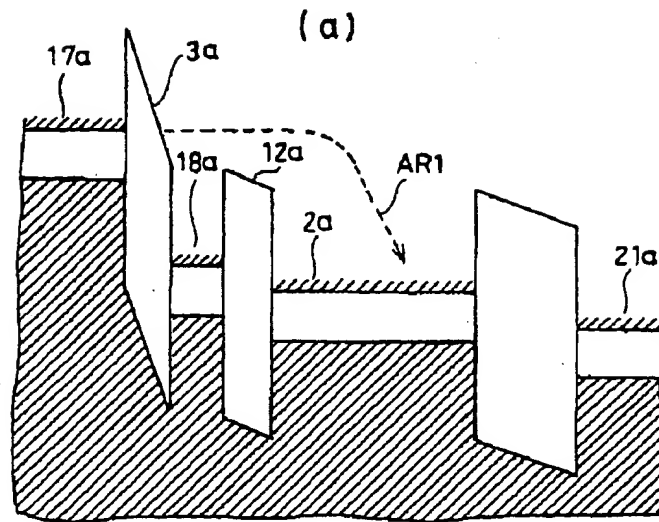
(b)



(c)



[Fig. 7]



## ⑫ 公開特許公報(A) 平3-94474

⑤ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月19日

H 01 L 29/788

G 11 C 16/02

16/04

H 01 L 29/792

7514-5F

H 01 L 29/78

3 7 1

7131-5B

G 11 C 17/00

3 0 7 D

審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 不揮発性メモリ

⑰ 特 願 平2-97578

⑱ 出 願 平2(1990)4月16日

優先権主張 ⑲ 平1(1989)6月22日 ⑳ 日本(JP)㉑ 特願 平1-158381

⑳ 発 明 者 森 江 隆 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓ 代 理 人 弁理士 山川 政樹 外1名

## 明 細 書

## 1. 発明の名称

不揮発性メモリ

## 2. 特許請求の範囲

浮遊電極に電荷を蓄積することによりメモリ効果をもたせる不揮発性メモリにおいて、トンネル効果によってホットキャリアを発生させる電荷注入用電極と、この電荷注入用電極と前記浮遊電極との間に設けられたトンネル電圧設定用の制御電極と、前記制御電極と浮遊電極との間に設けられた絶縁膜とを備え、前記ホットキャリアは前記浮遊電極を覆っている前記絶縁膜のエネルギー障壁を越えて前記浮遊電極に注入されることを特徴とする不揮発性メモリ。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、アナログ情報の蓄積に通じ、電気的に書換え可能な不揮発性メモリの構造に関するものである。

(従来技術)

最近、生体の神経回路網をまねて、パターン認識などの実用的な機能を有する認識装置を作ろうとする試みがなされている。こうした装置を、現在高度に集積化が進むSILSIで実現できれば、そのメリットは極めて大きい。その場合、神経細胞間の結合部位であるシナプスと同様の機能を有する素子の開発が必要である。その機能とは、アナログ的な結合強度を記憶しており、学習によりこの結合強度を増減させることができるというものである。有力候補として、電気的消去可能な読出し専用メモリ(Electrically Erasable Programmable Read Only Memory、以下「EEPROM」と略記する)があげられている。しかし、EEPROMには以下に述べるような欠点がある。

現在主流となっているEEPROMとしては、第10図に示すような浮遊電極型と第11図に示すようなMNOS(Metal-Nitride-Oxide-Semiconductor)型とがある。第10図および第11図において、1は制御電極、2は浮遊電極、3はトンネル絶縁膜、4はソース領域、5はドレイン領域、6

はアルミ配線、7はSi基板、8はゲート、9は酸化膜、10は窒化膜、T1は電源端子である。情報 込みは、絶縁膜を通してのトンネル電流か若しくはチャネルホットエレクトロン注入によって、浮遊電極もしくは酸化膜・窒化膜界面のトラップに電荷を注入することにより実現される。

いずれの構造の素子においても、電荷注入速度は電荷注入側と電荷蓄積側との間の電位差に強く依存するので、電荷を蓄積していくにつれて蓄積部位の電位が変化していくと、電荷の連続的・線形的な蓄積が困難になる。これを浮遊電極にトンネル効果により電荷を注入する場合を例にとって説明する。

第12図に、シリコン酸化膜(厚み100Å、面積250×250μm)におけるトンネル効果による代表的な電流-電圧特性を示す。電流が小さい場合、トンネル電流は印加電圧に対してはほぼ指数関数的に増加する。一方、一般的なEEPROMでは、第10図に示すように、浮遊電極2上に設けられた制御電極1に電圧が印加され、容

量結合でトンネル絶縁膜3に電圧がかかる。この電界によって、基板7から電子がトンネル効果により浮遊電極2に注入される。浮遊電極2に電子が蓄積されてくると、トンネル絶縁膜3にかかる電圧が低下する。すると、第12図の特性にしたがってトンネル電流は指数関数的に減少する。このため、一定電圧で書き込みを行なっていくと、浮遊電極の電位変化は第13図に示すように、時間に対してほぼ対数的に変化する。ここで、第13図の縦軸は浮遊電極2をゲートとするMOSTランジスタのしきい値の変化量であり、浮遊電極2に蓄積された電荷量に比例した量である。

(発明が解決しようとする課題)

以上の理由から、従来のEEPROMではアナログ情報の書き込みは困難で、従来は1か0(書き込んでいるか、書き込んでいないか)のデジタル情報しか蓄積できなかった。

もし、従来のEEPROMにアナログ情報を蓄積しようすると、例えば講演集「10240浮遊ゲート・シナプスを有する、電氣的訓練可能な

人工ニューラル・ネットワーク、ニューラル・ネットワークに関する国際ジョイント会議、1989年、論文第2巻、191頁(M.Holler, S.Tam, H.Castro, R.Benson, "An Electrically Trainable Artificial Neural Network(ETANN) with 10240 "Floating Gate" Synapses, "IJCNN(International Joint Conference on Neural Network)"に見られるように、書き込みたいアナログ量に対応した電荷量がちょうど注入できるだけの書き込み電圧値を外部のコンピュータで計算して印加するというように、LSI外部からの複雑な制御が必要となる。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、アナログ情報の蓄積が容易な不揮発性メモリの構造を提供することにある。また、本発明の他の目的は、一定の書き込み/消去電圧において、書き込み/消去時間と蓄積電荷量がほぼ線形であるEEPROMの構造を提供することにある。

(課題を解決するための手段)

以上説明したように本発明は、浮遊電極に電荷を蓄積することによりメモリ効果をもたせる不揮発性メモリにおいて、トンネル効果によってホットキャリアを発生させる電荷注入用電極と、この電荷注入用電極と浮遊電極との間に設けられたトンネル電圧設定用の制御電極と、制御電極と浮遊電極との間に設けられた絶縁膜とを備え、ホットキャリアは浮遊電極を覆っている絶縁膜のエネルギー障壁を越えて浮遊電極に注入されるようにしたものである。

(作用)

本発明による不揮発性メモリにおいては、浮遊電極に蓄積された電荷によってトンネル電流が低下するということがなく、浮遊電極をゲートとするトランジスタのしきい値は注入時間に比例して変化する。

(実施例)

本願で開示する不揮発性メモリは、電荷注入用電極と浮遊電極の間に、トンネル電圧設定用の極めて薄い制御電極が設けられていることを特徴と

する浮遊電極型不揮発性メモリである。その動作原理を次に説明する。

電荷注入用電極と制御電極との間の電位差により、電荷注入用電極からトンネル効果により制御電極に向かって注入されたキャリア（電子またはホール）はホット（高エネルギー）な状態で制御電極に入る。このキャリアは制御電極が極めて薄いために、制御電極をホットなまま通過し、制御電極と浮遊電極の間に設けられた絶縁膜のエネルギー障壁を飛び越えて浮遊電極に達する。

以上の原理により、浮遊電極に正負いずれの電荷でも蓄積することができる。トンネルのための電位差は電荷注入用電極と制御電極の間の電位差で決まり、浮遊電極の電位には影響されない。したがって、電荷注入速度は浮遊電極に蓄積された電荷量には依存しない。したがって、書き込み時間と蓄積電荷量はほぼ比例し、アナログ情報の蓄積が可能となる。

従来の構造では制御電極が浮遊電極の上に設けられており、トンネル絶縁膜にかかる電圧は、電

荷注入用電極と制御電極との間の電圧の容量分割分であった。これは蓄積電荷量に依存し、したがって、蓄積電荷量が増加するにしたがって電荷蓄積速度が指数関数的に遅くなっていた。

本発明の要旨にしたがってSiLSIの製造技術を利用して構成した実施例を以下に示す。もちろん、GaAs等の化合物半導体を用いても同様に構成できる。

本発明による不揮発性メモリの第1の実施例の構造を第1図に示す。また、書き込み動作時等のエネルギーバンド図を第2図に示す。これらにしたがって構造および動作原理を説明する。

なお、ここでは読出しトランジスタ11はエンハンスメント型PMOSTランジスタとしたので、アナログメモリとして利用できる範囲は、ゲート電圧が負の場合だけである。したがって、浮遊電極2にトータルとして正の電荷が蓄えられている状態は考えない。ただし、読出しトランジスタ11は一般的にはデプレッション型でもよいし、NMOSでもよい。読出しトランジスタ11の目的

は浮遊電極2の電位変化を検出することであるから、この目的に沿うものなら、なんでもよい。読出しトランジスタ11の構成にしたがって、浮遊電極2に蓄える電荷の種類が異なってくる。

アナログ・メモリでは、デジタル・メモリと違って、書き込み、消去という表現だけでは不適当である。本実施例では、浮遊電極2に電子を注入することにより浮遊電極の電位を下げ、読出しトランジスタ11のチャネル抵抗を下げることができる。逆に、ホールを注入することにより浮遊電極2の電位を上げ、チャネル抵抗を上げることができる。ここでは、前者を負書き込み、後者を正書き込みと呼ぶことにする。

また、本実施例では電荷注入用電極はSi基板上に形成した拡散層を利用し、なおかつ正・負書き込みの際のトンネル効果の対称性を考慮して、p、nそれぞれの導電型の拡散層を用いたが、原理的には電荷注入用電極は単一の導電型の拡散層でもよいし、基板上に設けられ制御電極と同様な金属膜でもよい。

次に、本実施例の構造を第1図を用いて説明する。制御電極1および浮遊電極2の材料としては、導電性を有する材料であればなんでもよいが、例えば、ドーブト・ポリSi、アルミニウム、金、モリブデン、タングステン等が用いられる。制御電極1の膜厚は高エネルギーキャリアの散乱・吸収を最低限にするために、できるだけ薄くする。例えば100Å程度とする。浮遊電極2の膜厚は注入されたキャリアが通り抜けないように、1000Å以上とする。

トンネル絶縁膜3および制御電極1・浮遊電極2間の絶縁膜12はシリコン酸化膜を用いる。上記に挙げた制御電極材料とシリコン酸化膜との仕事関数差は3～4eV程度である。そこで、浮遊電極2に蓄積される電荷による浮遊電極の最大の電位変化を3Vとした場合、トンネリングを起こした直後のキャリアのエネルギーは浮遊電極2からみて少なくとも7eV以上は必要になる。このエネルギー差では、絶縁破壊に至らずに十分なトンネル電流が流せられる酸化膜厚は80Å程度で

ある。この場合のトンネル電流はファウラ・ノルドハイム型であり、キャリアはトンネル効果で酸化膜の伝導帯に抜け、そこで加速される。

一方、絶縁膜12の膜厚は以下のように決定される。まず、書き込み時には高エネルギーなキャリアが絶縁膜12の伝導帯を通過するが、この際キャリアはフォノンにより散乱されてエネルギーを失う。この割合を最小にするために、絶縁膜12はできるだけ薄いのが望ましい。しかし、浮遊電極2に蓄積された電荷が、スタンバイ状態や読出し状態においてトンネル効果で制御電極1側に抜けただけ厚くしなければならない。上記のように浮遊電極2の電位変化の最大値が3Vの場合、絶縁膜12の膜厚は70Å程度である。

電荷注入用電極13ないし14はキャリア濃度 $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度以上の拡散層である。

なお、第1図(a)でWBはウエル分離溝、WLはnウエルである。また、第1図(b)は(a)のA—A'線断面図、(c)は(a)のB—B'線断面図である。

次に、本発明の第1の実施例の動作について第

ることが可能である。

正書き込み状態を第2図(c)に示す。正書き込みの場合は制御電極1に負バイアス(例えば-4V以上)を与え、矢印AR2で示すようにホールを電荷注入用電極(p-Si)14から注入させる。初めに述べたように、本構造では浮遊電極2の電位は制御電極1よりも常に高くはならないから、ホールに与えるエネルギーは制御電極1と絶縁膜12の仕事関数差(約4eV)以上あれば良い。

以上説明した第1の実施例では、浮遊電極2に蓄えられた電荷によって浮遊電極2の電位が制御電極1よりも低くなり、キャリアは、絶縁膜12のエネルギー障壁を越えるために、浮遊電極2の電位低下分を含んだエネルギーを持たねばならなかった。このため、トンネル絶縁膜3をシリコン酸化膜で構成する場合、膜厚に制約があり、トンネル電流はファウラ・ノルドハイム型になった。この場合、キャリアは絶縁膜の伝導帯を長く走ることになり、エネルギーロスが大きくなるという問題がある。また、制御電極1中でも高エネルギー

2図を用いて説明する。まず、浮遊電極2に蓄積電荷がなく、書き込みバイアスもかかっていない場合のエネルギーバンド図を第2図(a)に示す。ここでは電極材料の接触電位差は重要ではないので、無視してある。以下の説明では、電荷注入用電極13ないし14を常に0電位とする。なお、第2図において、2aは浮遊電極(金属)の位置、12aは絶縁膜12の位置、1aは制御電極(金属)1の位置、3aはトンネル絶縁膜の位置、13aは電荷注入用電極(n-Si)13の位置を示す。また、縦方向はエネルギーレベルを示し、斜線部は電子の在るエネルギー範囲を示す。

負書き込み状態を第2図(b)に示す。負書き込みの場合は制御電極1に正バイアス(7V以上)を与え、矢印AR1で示すように電子を電荷注入電極13から注入させる。浮遊電極2の電位が電子が蓄積されていくにつれて低下していても、絶縁膜12に入射したときの電子のエネルギー分布が絶縁膜12のエネルギー障壁よりも十分高い限り、浮遊電極2の電位に依存することなく電子を注入す

る。一なキャリアほど散乱・吸収が激しく起こるので、全体として浮遊電極2に達する電子の量が減少するという結果をもたらす。そこで、次に示す第2の実施例ではこの欠点を解決し、キャリアに過剰のエネルギーをもたせることなく、浮遊電極2に任意の電荷量を蓄積できる構造を開示する。

本発明の第2の実施例では、第1の実施例に加え、浮遊電極2の上に絶縁膜15を介して第2の制御電極(以下「補助制御電極」という)16を設ける(第3図(b))。これによって第1の実施例に比べて構造が複雑になるが、以下に述べるような利点がある。

補助制御電極16の材料は制御電極1や浮遊電極2と同様である。また、補助制御電極16は電位設定ができればよいので、特に膜厚に制限はなく、例えば1000Åとする。絶縁膜15の材料は絶縁膜3、14と同様、シリコン酸化膜とする。絶縁膜15の膜厚は絶縁膜12と同程度の70Åとする。

補助制御電極16の機能は、負書き込み時に補助

制御電極16に制御電極1にかけたバイアスよりも深い正バイアスをかけておき、浮遊電極2に電子が蓄積されていっても、浮遊電極2の電位が制御電極1の電位よりも低くならないようにしておくことにある(第4図(b))。これにより、電子の蓄積によって浮遊電極2の電位が低下することによる絶縁膜12のエネルギー障壁の増加を防ぐことができる。したがって、電子が必要とするエネルギーは、浮遊電極2と制御電極12の仕事関数(約4 eV)以上あれば良い。これは浮遊電極2に蓄えられる電荷量には依存しない。なお、第4図において、15aは絶縁膜15の位置、16aは補助制御電極(金属)16の位置を示し、同図において第2図と同一部分又は相当部分には同一符号が付してある。

電子に必要とされるエネルギーが第1の実施例に比べて少なくて良いということは、別の利点をもたらす。すなわち、浮遊電極2に印加する電圧が4V程度以上であれば良いため、トンネル絶縁膜3の厚さを薄くできるので、酸化膜の伝導帯を

通らないトンネル機構である直接トンネルに近い領域で酸化膜を使えるという利点である。伝導帯を通る距離が短いために、エネルギーロスが小さくなる。シリコン酸化膜で直接トンネルとなる条件は、ゲート電極の材料にもよるが、ドーブ・ポリSiの場合は酸化膜厚40Å以下、印加電界10MV/cm以下である。しかし、この条件では電流密度は $10^{-10}$  A/cm<sup>2</sup>程度と小さく、高速書き込みにはトンネル面積を大きくとらなければならない。そこで、ファウラ・ノルトハイム・トンネルの条件に入る膜厚も利用される。その膜厚は40~80Å程度である。この第2の実施例では、トンネル酸化膜3の膜厚を50Åとした。さらに、ホットキャリアが制御電極中を通過する際も電子のエネルギーが第1の実施例に比べて小さいために散乱・吸収される割合が小さい。したがって、第1の実施例に比べて浮遊電極2に達する電子の割合が大きくなるという利点が生じる。

正書き込みの場合は制御電極1に負バイアス(例えば-4V以上)を与え、ホールを電荷注入用電

極(p-Si)14から注入させる。このとき、補助制御電極16に制御電極1にかけたバイアスよりも深い負バイアスをかけて、浮遊電極2にホールが蓄積されていっても、浮遊電極2の電極に制御電極1の電位よりも高くないようにしておけばよい。ただし、通常はすでに負書き込みを行なっていて浮遊電極2の電位が低くなっているため、補助制御電極16には制御電位と同じバイアスをかけておけばよい(第4図(c))。

また、絶縁膜12の膜厚の制限がなくなるので、厚さ100Å以上にもすることができ、電荷保持特性を向上させることができる。これは、従来の浮遊電極型EEPROMが、低書き込み電圧を目指してトンネル絶縁膜を薄くしたために保持特性の向上が図れなかったのに対し、本実施例の大きな利点の一つである。

なお、補助制御電極16は浮遊電極2と容量結合をすればよいので、必ずしも第3図に示すように浮遊電極の上部に位置する必要はない。また、読み出しトランジスタ11との容量結合を利用する

ことにより、補助制御電極16を省略することもできる。第4図において(a)は第2図(a)と同様に無バイアス蓄積電荷無しの初期状態を示すエネルギーバンド図である。

第2の実施例の有効性を検証するために行なった実験結果について説明する。そこでは浮遊電極に端子を設け、浮遊電極の電位を変えていったときに浮遊電極に流れ込む電流を調べた。もはや「浮遊」電極ではないので、以下の説明ではプローブ電極と呼ぶことにする。トンネル絶縁膜の膜厚は75Å、トンネル領域面積は $1.1\mu\text{m}^2$ である。制御電極には厚さ130Åで不純物濃度が約 $5 \times 10^{19} \text{cm}^{-3}$ のリンドーブ・ポリSiを用いた。プローブ電極には、同じリンドーブ・ポリSiを1500Åの厚さで用いた。制御電極とプローブ電極の間の絶縁膜(絶縁膜12に相当)には150ÅのSi酸化膜を用いた。第5図(a)および(b)に、プローブ電極の電位と、制御電極およびプローブ電極に流れる電流との関係を示す。ここでは制御電極を0電位にとった。第5図(c)において電荷注



入用電極に $-11.3\text{V}$ を印加したときを例にとると、プローブ電極の電位が $0.7\text{V}$ を越えると、プローブ電極電流が流れ出し、プローブ電極電位が $1\text{V}$ から $3\text{V}$ まで増加したときにプローブ電極電流は $15\%$ 以下しか増加しない。従来のEEPROM構造では指数関数的に電流が増加することと比較すると、この結果は、プローブ電極電流がプローブ電極電位にほとんど依存しないということを示している。したがって、第2の実施例の有効性が実証された。

ここで注意すべきことは、プローブ電極電位が $0.7\text{V}$ 以下でほとんどプローブ電極電流が流れない点である。これは、制御電極に用いたポリSiの不純物濃度が十分高濃度でないために、薄い制御電極全体が高い印加電圧のために空乏化してしまっており、制御電極の電位が $0\text{V}$ におさえられていないためと考えられる。プローブ電極電位を増加していった $0.7\text{V}$ を越えたところで制御電極の空乏化がプローブ電極の電圧のためにとけ、制御電極の電位が固定され、プローブ電極電流が突然

流れ出したと考えられる。以上の解釈は、制御電極電流の特性(第5図(a))も正しく説明している。もし制御電極の電位が完全に固定されていれば、制御電極電流はプローブ電極電位に関係なく一定のはずだからである。したがって、第1の実施例で説明したようなプローブ電極が制御電極よりも電位が低い状態で電流が流れるという原理が第5図(b)で否定されたというわけではない。

次に、第2の実施例を従来のEEPROM製造技術であるポリシリコンゲート・プロセスを利用してより具体化した第3の実施例について、第6図および第7図を用いて説明する。

この実施例では、正・負それぞれの書き込み動作に応じて異なった導電型の電荷注入用電極と制御電極の対(n型の17と18、およびp型の19と20)を用意する。電荷注入用電極としてはシリコン基板中に形成した拡散層を、制御電極としてはドーパト・ポリSiを用いる。トンネル絶縁膜3および制御電極18、20と浮遊電極2間の絶縁膜(シリコン酸化膜)12を用いる。

また、読出し用トランジスタ11は浮遊電極2に蓄積された電荷量を検出するためのもので、ゲート21を備えている。このゲートによって第1の実施例の冒頭で説明した読出しトランジスタの型は問題でなくなる。すなわち、従来例と同様に浮遊電極に蓄えられた電荷量は読出しトランジスタのしきい値変化として検出される。したがって、ゲート21は従来のEEPROMの制御電極に相当する。また、本発明では第2の実施例で説明した補助制御電極としても機能する。ゲート絶縁膜22は書き込み時にこの部分から電荷が浮遊電極に注入されないようにトンネル絶縁膜3に比べて十分厚くなければならない。例えば $120\text{\AA}$ 以上は必要である。

第7図(a)に負書き込み時のエネルギーバンド図を示す。ゲート21は浮遊電極2と容量結合しているので、負書き込み時にゲート21に制御電極18にかけたバイアスよりも深い正バイアスをかけておき、浮遊電極2に電子が蓄積されていっても、浮遊電極2の電位が制御電極18の電位よりも低

くならないようにしておく。

第7図(b)に正書き込みの場合を示す。上と同様にゲート21に適当なバイアスをかけて、浮遊電極2にホールが蓄積されていっても、浮遊電極2の電位が制御電極20の電位よりも高くないようにしておく。

ここで、正・負書き込みでそれぞれ異なった導電型の電極対が必要な理由を説明する。まず電流供給の関係から、電荷注入用電極には負書き込みの場合にはn型半導体が、正書き込みの場合にはp型半導体が適当である。次に、制御電極として例えば、制御電極18(n・ポリSi)に負バイアスをかけて制御電極側にホールを注入しようとしても、同時に制御電極18から電荷注入用電極に向かって電子が抜けていく。この電流によってトンネル絶縁膜3にそれ以上の電界がかけられず、ホットホールの注入が困難になる。逆の場合も同様である。

第1ないし第3の実施例では電荷注入用電極と制御電極の間のトンネリングを絶縁膜3を通して

行なったが、第8図および第9図に示すように、電荷注入用電極13(p<sup>+</sup>)、14(n<sup>+</sup>)と制御電極1(n<sup>+</sup>とp<sup>+</sup>)を半導体基板中の高濃度の反対導電型の拡散層で形成し、逆バイアス下でのpn接合での強いバンドの曲がりによるバンド間トンネリングによりキャリアを注入することもできる。この場合も制御電極1を構成する拡散層は、100Å程度以下の極めて薄いものでなければならない。なお第9図において第4図と同一部分又は相当部分には同一符号が付してある。

#### (発明の効果)

以上説明したように本発明は、トンネル効果によってホットキャリアを発生させる電荷注入用電極と、この電荷注入電極と浮遊電極との間に設けられたトンネル電圧設定用の制御電極と、制御電極と浮遊電極との間に設けられた絶縁膜とを備え、ホットキャリアを浮遊電極を覆っている絶縁膜のエネルギー障壁を越えて浮遊電極に注入させるようにしたことにより、トンネルのための電位差は電荷注入用電極と制御電極の間の電位差で決まり、

をトンネル絶縁膜に有効にかけるためには、電荷注入用電極と浮遊電極の間の容量と浮遊電極と制御電極の間の容量の比をできるだけ小さくしなければならず、前者の容量を小さくすることには限界があり、後者の容量を大きくするために浮遊電極と制御電極の間の絶縁膜を薄くすることは電荷保持特性を劣化させるために望ましくないため、結局浮遊電極と制御電極の間のオーバーラップ面積をできるだけ大きくしなければならず、そのためにセル面積の縮小が困難になっていたのに対し、本発明は容量結合という方法をとっていないため、各部分の容量に制限がなく、そのためにセル面積を縮小することが容易であるという効果がある。また、浮遊電極の容量を小さくできるために少ない電荷量で十分な読出しトランジスタのしきい値電圧変化が得られるという効果がある。

以上の利点によって、本発明で、容易にアナログ情報を不揮発的に蓄積できる高密度・高性能なメモリを構成できる。すなわち、メモリ外部に複雑な制御回路を必要とせず、一定の電圧値を有

浮遊電極の電位には影響されず、制御電極を極めて薄いものとすれば、浮遊電極に蓄積された電荷によってトンネル電流が低下するということがないので、注入時間に比例して浮遊電極に電荷を蓄積することができ、浮遊電極をゲートとするトランジスタのしきい値を注入時間に比例して変えることができる。これにより、アナログ値を記憶させることが容易な不揮発性メモリを構成することができる。

また、浮遊電極の上に絶縁膜を介して補助制御電極を設ければ、第2の実施例で示すように、浮遊電極を従来の浮遊電極型EEPROMセルの場合以上に厚い絶縁膜で覆うことができるので、電荷保持特性の良好なEEPROMを構成することができる。

さらに、従来のEEPROMが電荷注入用電極と浮遊電極の間の容量および浮遊電極と制御電極の間の容量の容量分割により電荷注入用電極と浮遊電極の間に設けられたトンネル絶縁膜に電圧をかけていたため、制御電極に印加する書き込み電圧

する書き込み電圧パルスにより、パルス数に比例した情報を不揮発的に且つ高い保持特性を有して蓄積することができる。これを例えば神経回路網を利用したLSIに適用するならば、高密度で高性能な神経回路網型アナログLSIが構成でき、極めて高性能なパターン認識装置や音声認識装置などを作ることができる。

#### 4. 図面の簡単な説明

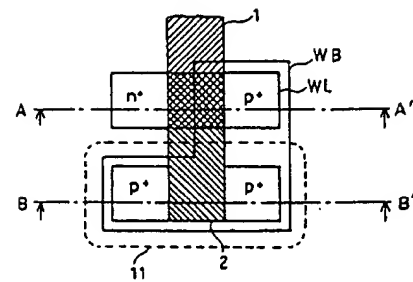
第1図および第2図は本発明の第1の実施例の構造模式図および各種動作時のエネルギーバンド図、第3図および第4図は本発明の第2の実施例の構造模式図および各種動作時のエネルギーバンド図、第5図は第2の実施例の有効性を実証する実験データ(プローブ電極(浮遊電極)の電位と制御電極およびプローブ電極(浮遊電極)に流れる電流との関係を示すグラフ、第6図および第7図は本発明の第3の実施例の構造模式図および各種動作時のエネルギーバンド図、第8図および第9図は本発明の第4の実施例の構造模式図および各種動作時のエネルギーバンド図、第10図およ

び第11図は従来から使われている不揮発性メモリの典型例である浮遊電極型およびMNOS型のEEPROMセルを示す断面模式図、第12図はシリコン酸化膜における代表的なトンネル特性を示すグラフ、第13図はEEPROMにおける書き込み時間と浮遊電極をゲートとするトランジスタのしきい値変化量の関係を示すグラフである。

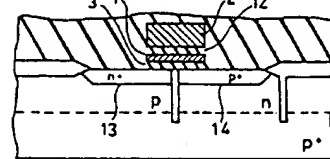
1…制御電極、2…浮遊電極、3…トンネル絶縁膜、11…読出しトランジスタ、12…絶縁膜、13、14…電荷注入用電極。

特許出願人 日本電信電話株式会社  
代理人 山川政樹

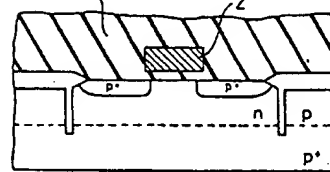
第1図  
(a)



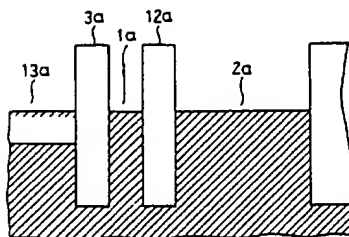
(b)



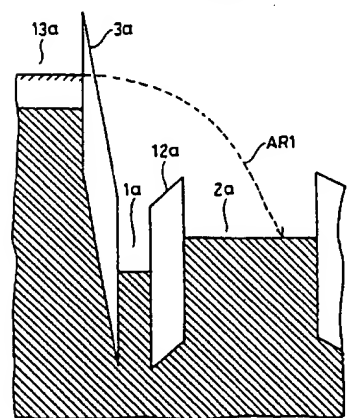
(c)



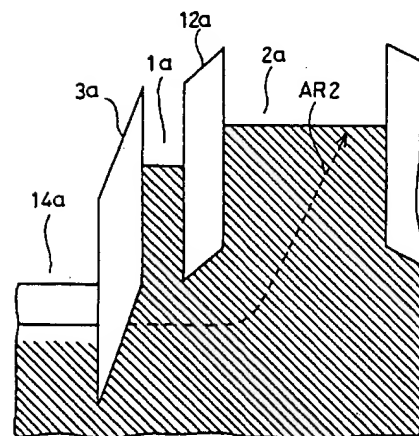
第2図(a)

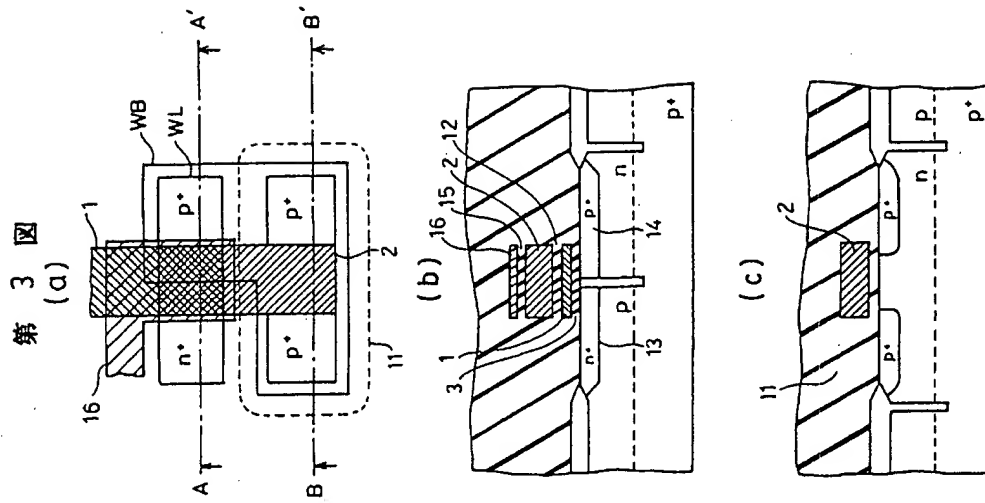


第2図(b)

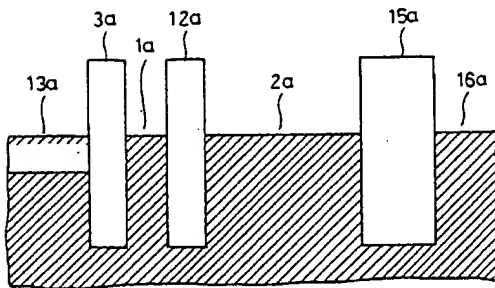


第2図(c)

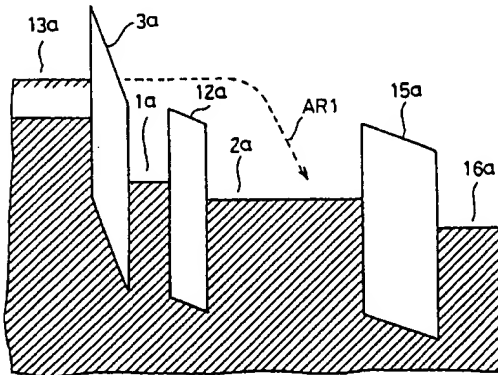




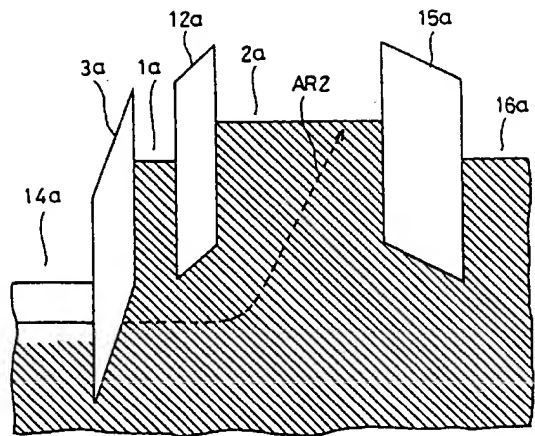
第 4 図(a)



第 4 図(b)

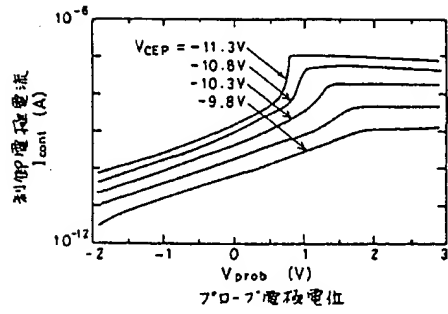


第 4 図(c)

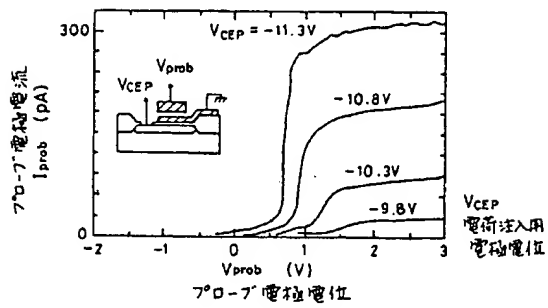


第 5 図

(a)

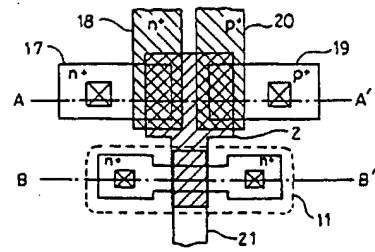


(b)

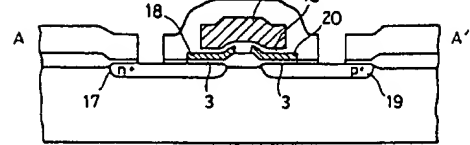


第 6 図

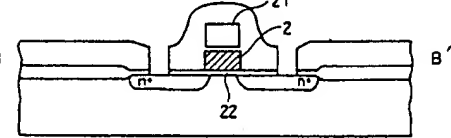
(a)



(b)

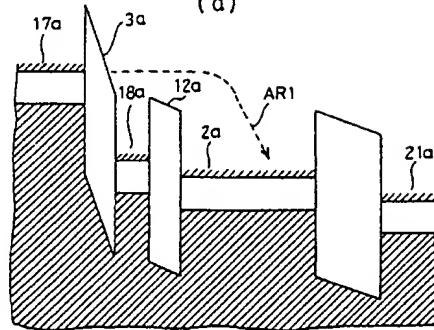


(c)

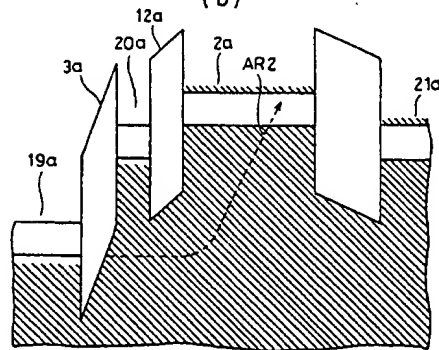


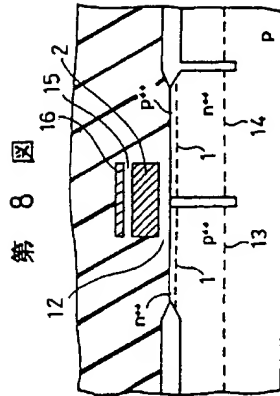
第 7 図

(a)

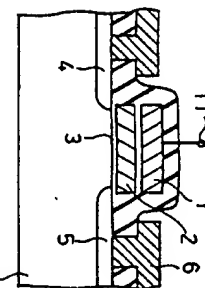
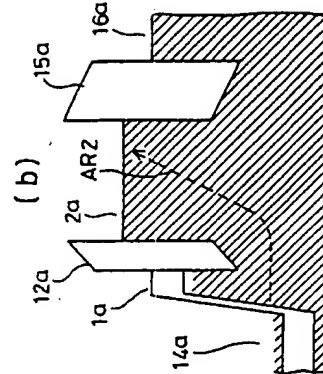
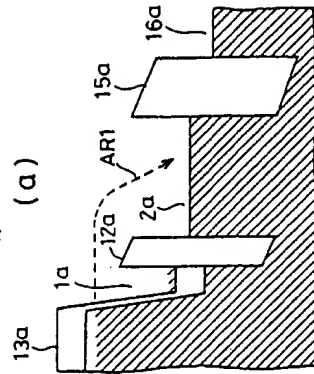


(b)

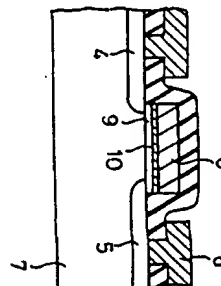




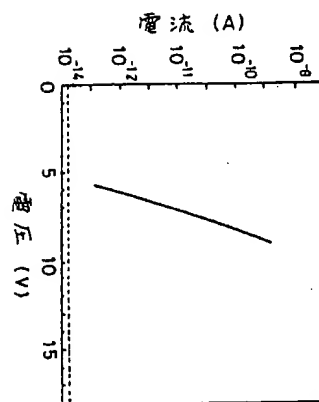
第 6 卷



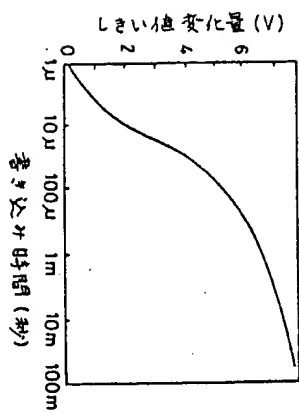
第 10 回



## 第 11 圖



## 第12圖



第13圖

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2964412号

(45)発行日 平成11年(1999)10月18日

(24)登録日 平成11年(1999) 8月13日

(51)Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
G 1 1 C 27/00	1 0 1	G 1 1 C 27/00	1 0 1 A
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4
29/788			
29/792			

請求項の数1(全 12 頁)

(21)出願番号	特願平2-97578	(73)特許権者	999999999 日本電信電話株式会社 東京都新宿区西新宿3丁目19番2号
(22)出願日	平成2年(1990)4月16日	(72)発明者	森江 隆 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
(65)公開番号	特開平3-94474	(74)代理人	弁理士 山川 政樹 (外1名)
(43)公開日	平成3年(1991)4月19日	審査官	國島 明弘
審査請求日	平成8年(1996)9月27日	(56)参考文献	特開 平4-118965 (J P, A) 特開 平1-154563 (J P, A) 特開 平3-245575 (J P, A) 特開 昭49-110250 (J P, A) 特開 昭59-42697 (J P, A) 特開 昭58-102394 (J P, A)
(31)優先権主張番号	特願平1-158381		
(32)優先日	平1(1989)6月22日		
(33)優先権主張国	日本 (J P)		

最終頁に続く

(54)【発明の名称】 不揮発性メモリ

(57)【特許請求の範囲】

【請求項1】浮遊電極に電荷を蓄積することによりメモリ効果をもたせる不揮発性メモリにおいて、トンネル効果によってホットキャリアを発生させる電荷注入用電極と、この電荷注入用電極と前記浮遊電極との間に設けられたトンネル電圧設定用の制御電極と、前記制御電極と浮遊電極との間に設けられた絶縁膜とを備え、前記ホットキャリアは前記浮遊電極を覆っている前記絶縁膜のエネルギー障壁を越えて前記浮遊電極に注入されることを特徴とする不揮発性メモリ。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は、アナログ情報の蓄積に適し、電氣的に書換え可能な不揮発性メモリの構造に関するものである。

〔従来の技術〕

最近、生体の神経回路網をまねて、パターン認識などの実用的な機能を有する認識装置を作ろうとする試みがなされている。こうした装置を、現在高度に集積化が進むSiLSIで実現できれば、そのメリットは極めて大きい。その場合、神経細胞間の結合部位であるシナプスと同様の機能を有する素子の開発が必要である。その機能とは、アナログ的な結合強度を記憶しており、学習によりこの結合強度を増減させることができるというものである。有力候補として、電氣的消去可能な読出し専用メモリ (Electrically Erasable Programmable Read Only Memory, 以下「EEPROM」と略記する) があげられている。しかし、EEPROMには以下に述べるような欠点がある。

現在主流となっているEEPROMとしては、第10図に示すような浮遊電極型と第11図に示すようなMNOS (Metal -N

itride—Oxide—Semiconductor) 型とがある。第10図および第11図において、1は制御電極、2は浮遊電極、3はトンネル絶縁膜、4はソース領域、5はドレイン領域、6はアルミ配線、7はSi基板、8はゲート、9は酸化膜、10は窒化膜、T1は電源端子である。情報書き込みは、絶縁膜を通してのトンネル電流か若しくはチャネルホットエレクトロン注入によって、浮遊電極もしくは酸化膜・窒化膜界面のトラップに電荷を注入することにより実現される。

いずれの構造の素子においても、電荷注入速度は電荷注入側と電荷蓄積側との間の電位差に強く依存するので、電荷を蓄積していくにつれて蓄積部位の電位が変化していくと、電荷の連続的・線形的な蓄積が困難になる。これを浮遊電極にトンネル効果により電荷を注入する場合を例にとって説明する。

第12図に、シリコン酸化膜(厚み100Å、面積250×250μm)におけるトンネル効果による代表的な電流—電圧特性を示す。電流が小さい場合、トンネル電流は印加電圧に対してはほぼ指数関数的に増加する。一方、一般的なEEPROMでは、第10図に示すように、浮遊電極2上に設けられた制御電極1に電圧が印加され、容量結合でトンネル絶縁膜3に電圧がかかる。この電界によって、基板7から電子がトンネル効果により浮遊電極2に注入される。浮遊電極2に電子が蓄積されてくると、トンネル絶縁膜3にかかる電圧が低下する。すると、第12図の特性にしたがってトンネル電流は指数関数的に減少する。このため、一定電圧で書き込みを行なっていくと、浮遊電極の電位変化は第13図に示すように、時間に対してほぼ対数的に変化する。ここで、第13図の縦軸は浮遊電極2をゲートとするMOSトランジスタのしきい値の変化量であり、浮遊電極2に蓄積された電荷量に比例した量である。

〔発明が解決しようとする課題〕

以上の理由から、従来のEEPROMではアナログ情報の書き込みは困難で、従来は1か0(書き込んでいるか、書き込んでいないか)のデジタル情報しか蓄積できなかった。

もし、従来のEEPROMにアナログ情報を蓄積しようすると、例えば講演集「10240浮遊ゲート・シナプスを有する、電氣的訓練可能な人工ニューラル・ネットワーク、ニューラル・ネットワークに関する国際ジョイント会議、1989年、論文集第2巻、191頁(M. Holler, S. Tam, H. Castro, R. Benson, "An Electrically Trainable Artificial Neural Network (ETANN) with 10240 "Floating Gate" Synapses, "IJCNN (International Joint Conference on Neural Network) 」に見られるように、書き込みたいアナログ量に対応した電荷量がちょうど注入できるだけの書き込み電圧値を外部のコンピュータで計算して印加するというように、LSI外部からの複雑な制御が必要となる。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、アナログ情報の蓄積が容易な不揮発性メモリの構造を提供することにある。また、本発明の他の目的は、一定の書き込み/消去電圧において、書き込み/消去時間と蓄積電荷量がほぼ線形であるEEPROMの構造を提供することにある。

〔課題を解決するための手段〕

以上説明したように本発明は、浮遊電極に電荷を蓄積することによりメモリ効果をもたせる不揮発性メモリにおいて、トンネル効果によってホットキャリアを発生させる電荷注入用電極と、この電荷注入用電極と浮遊電極との間に設けられたトンネル電圧設定用の制御電極と、制御電極と浮遊電極との間に設けられた絶縁膜とを備え、ホットキャリアは浮遊電極を覆っている絶縁膜のエネルギー障壁を越えて浮遊電極に注入されるようにしたものである。

〔作用〕

本発明による不揮発性メモリにおいては、浮遊電極に蓄積された電荷によってトンネル電流が低下するということがなく、浮遊電極をゲートとするトランジスタのしきい値は注入時間に比例して変化する。

〔実施例〕

本願で開示する不揮発性メモリは、電荷注入用電極と浮遊電極の間に、トンネル電圧設定用の極めて薄い制御電極が設けられていることを特徴とする浮遊電極型不揮発性メモリである。その動作原理を次に説明する。

電荷注入用電極と制御電極との間の電位差により、電荷注入用電極からトンネル効果により制御電極に向かって注入されたキャリア(電子またはホール)はホット(高エネルギー)な状態で制御電極に入る。このキャリアは制御電極が極めて薄いために、制御電極をホットなまま通過し、制御電極と浮遊電極の間に設けられた絶縁膜のエネルギー障壁を飛び越えて浮遊電極に達する。

以上の原理により、浮遊電極に正負いずれの電荷でも蓄積することができる。トンネルのための電位差は電荷注入用電極と制御電極の間の電位差で決まり、浮遊電極の電位には影響されない。したがって、電荷注入速度は浮遊電極に蓄積された電荷量には依存しない。したがって、書き込み時間と蓄積電荷量はほぼ比例し、アナログ情報の蓄積が可能となる。

従来の構造では制御電極が浮遊電極の上に設けられており、トンネル絶縁膜にかかる電圧は、電荷注入用電極と制御電極との間の電圧の容量分割分であった。これは蓄積電荷量に依存し、したがって、蓄積電荷量が増加するにしたがって電荷蓄積速度が指数関数的に遅くなっていた。

本発明の要旨にしたがってSiLSIの製造技術を利用して構成した実施例を以下に示す。もちろん、GaAs等の化合物半導体を用いても同様に構成できる。

本発明による不揮発性メモリの第1の実施例の構造を



第1図に示す。また、書き込み動作時等のエネルギーバンド図を第2図に示す。これらにしたがって構造および動作原理を説明する。

なお、ここでは読出しトランジスタ11はエンハンスメント型PMOSトランジスタとしたので、アナログメモリとして利用できる範囲は、ゲート電圧が負の場合だけである。したがって、浮遊電極2にトータルとして正の電荷が蓄えられている状態は考えない。ただし、読出しトランジスタ11は一般的にはデプレッション型でもよいし、NMOSでもよい。読出しトランジスタ11の目的は浮遊電極2の電位変化を検出することであるから、この目的に沿うものなら、なんでもよい。読出しトランジスタ11の構成にしたがって、浮遊電極2に蓄える電荷の種類が異なってくる。

アナログ・メモリでは、デジタル・メモリと違って、書き込み、消去という表現だけでは不適当である。本実施例では、浮遊電極2に電子を注入することにより浮遊電極の電位を下げ、読出しトランジスタ11のチャネル抵抗を下げることができる。逆に、ホールを注入することにより浮遊電極2の電位を下げ、チャネル抵抗を上げることができる。ここでは、前者を負書き込み、後者を正書き込みと呼ぶことにする。

また、本実施例では電荷注入用電極はSi基板上に形成した拡散層を利用し、なおかつ正・負書き込みの際のトンネル効果の対称性を考慮して、p,nそれぞれの導電型の拡散層を用いたが、原理的には電荷注入用電極は単一の導電型の拡散層でも良いし、基板上に設けられ制御電極と同様な金属でもよい。

次に、本実施例の構造を第1図を用いて説明する。制御電極1および浮遊電極2の材料としては、導電性を有する材料であればなんでもよいが、例えば、ドーパ・ポリSi、アルミニウム、金、モリブデン、タングステン等が用いられる。制御電極1の膜厚は高エネルギーキャリアの散乱・吸収を最低限にするために、できるだけ薄くする。例えば100Å程度とする。浮遊電極2の膜厚は注入されたキャリアが通り抜けられないように、1000Å以上とする。

トンネル絶縁膜3および制御電極1・浮遊電極2間の絶縁膜12はシリコン酸化膜を用いる。上記に挙げた制御電極材料とシリコン酸化膜との仕事関数差は3~4eV程度である。そこで、浮遊電極2に蓄積される電荷による浮遊電極の最大の電位変化を3Vとした場合、トンネリングを起こした直後のキャリアのエネルギーは浮遊電極2からみて少なくとも7eV以上は必要になる。このエネルギー差では、絶縁破壊に至らずに十分なトンネル電流が流せられる酸化膜厚は80Å程度である。この場合のトンネル電流はファウラ・ノルドハイム型であり、キャリアはトンネル効果で酸化膜の伝導帯に抜け、そこで加速される。

一方、絶縁膜12の膜厚は以下のように決定される。ま

ず、書き込み時には高エネルギーなキャリアが絶縁膜12の導電帯を通過するが、この際キャリアはフォノンにより散乱されてエネルギーを失う。この割合を最小にするために、絶縁膜12はできるだけ薄いのが望ましい。しかし、浮遊電極2に蓄積された電荷が、スタンバイ状態や読出し状態においてトンネル効果で制御電極1側に抜けないだけ厚くしなければならない。上記のように浮遊電極2の電位変化の最大値が3Vの場合、絶縁膜12の膜厚は70Å程度である。

電荷注入用電極13ないし14はキャリア濃度 $10^{20}\text{cm}^{-3}$ 程度以上の拡散層である。

なお、第1図(a)でWBはウエル分離溝、WLはnウエルである。また、第1図(b)は(a)のA-A'線断面図、(c)は(a)のB-B'線断面図である。

次に、本発明の第1の実施例の動作について第2図を用いて説明する。まず、浮遊電極2に蓄積電荷がなく、書き込みバイアスもかかっていない場合のエネルギーバンド図を第2図(a)に示す。ここでは電極材料の接触電位差は重要ではないので、無視してある。以下の説明では、電荷注入用電極13ないし14を常に0電位とする。なお、第2図において、2aは浮遊電極(金属)の位置、12aは絶縁膜12の位置、1aは制御電極(金属)1の位置、3aはトンネル絶縁膜の位置、13aは電荷注入用電極(n<sup>+</sup>Si)13の位置を示す。また、縦方向はエネルギーレベルを示し、斜線部は電子の在るエネルギー範囲を示す。

負書き込み状態を第2図(b)に示す。負書き込みの場合は制御電極1に正バイアス(7V以上)を与え、矢印AR1で示すように電子を電荷注入電極13から注入させる。浮遊電極2の電位が電子が蓄積されていくにつれて低下していても、絶縁膜12に入射したときの電子のエネルギー分布が絶縁膜12のエネルギー障壁よりも十分高い限り、浮遊電極2の電位に依存することなく電子を注入することが可能である。

正書き込み状態を第2図(c)に示す。正書き込みの場合は制御電極1に負バイアス(例えば-4V以上)を与え、矢印AR2で示すようにホールを電荷注入用電極(p<sup>+</sup>Si)14から注入させる。初めに述べたように、本構造では浮遊電極2の電位は制御電極1よりも常に高くはならないから、ホールに与えるエネルギーは制御電極1と絶縁膜12の仕事関数差(約4eV)以上あれば良い。

以上説明した第1の実施例では、浮遊電極2に蓄えられた電荷によって浮遊電極2の電位が制御電極1よりも低くなり、キャリアは、絶縁膜12のエネルギー障壁を越えるために、浮遊電極2の電位低下分を含んだエネルギーを持たねばならなかった。このため、トンネル絶縁膜3をシリコン酸化膜で構成する場合、膜厚に制約があり、トンネル電流はファウラ・ノルドハイム型になった。この場合、キャリアは絶縁膜の伝導帯を長く走ることになり、エネルギーロスが大きくなるという問題がある。また、制御電極1中でも高エネルギーなキャリアほ

ど散乱・吸収が激しく起こるので、全体として浮遊電極2に達する電子の量が減少するという結果をもたらす。そこで、次に示す第2の実施例ではこの欠点を解決し、キャリアに過剰のエネルギーをもたせることなく、浮遊電極2に任意の電荷量を蓄積できる構造を開示する。

本発明の第2の実施例では、第1の実施例に加え、浮遊電極2の上に絶縁膜15を介して第2の制御電極（以下「補助制御電極」という）16を設ける（第3図（b））。これによって第1の実施例に比べて構造が複雑になるが、以下に述べるような利点がある。

補助制御電極16の材料は制御電極1や浮遊電極2と同様である。また、補助制御電極16は電位設定ができればよいので、特に膜厚に制限はなく、例えば1000Åとする。絶縁膜15の材料は絶縁膜3、14と同様、シリコン酸化膜とする。絶縁膜15の膜厚は絶縁膜12と同程度の70Åとする。

補助制御電極16の機能は、負書き込み時に補助制御電極16に制御電極1にかけたバイアスよりも深い正バイアスをかけておき、浮遊電極2に電子が蓄積されていっても、浮遊電極2の電位が制御電極1の電位よりも低くならないようにしておくことにある（第4図（b））。これにより、電子の蓄積によって浮遊電極2の電位が低下することによる絶縁膜12のエネルギー障壁の増加を防ぐことができる。したがって、電子が必要とするエネルギーは、浮遊電極2と制御電極12の仕事関数（約4eV）以上あれば良い。これは浮遊電極2に蓄えられる電荷量には依存しない。なお、第4図において、15aは絶縁膜15の位置、16aは補助制御電極（金属）16の位置を示し、同図において第2図と同一部分又は相当部分には同一符号が付してある。

電子に必要とされるエネルギーが第1の実施例に比べて少なくても良いということは、別の利点をもたらす。すなわち、浮遊電極2に印加する電圧が4V程度以上であれば良いため、トンネル絶縁膜3の厚さを薄くできるので、酸化膜の伝導帯を通らないトンネル機構である直接トンネルに近い領域で酸化膜を使えるという利点である。伝導帯を通る距離が短いために、エネルギーロスが小さくなる。シリコン酸化膜で直接トンネルとなる条件は、ゲート電極の材料にもよるが、ドーパント・ポリSiの場合は酸化膜厚40Å以下、印加電界10MV/cm以下である。しかし、この条件では電流密度は $10^{-6}$ A/cm<sup>2</sup>程度と小さく、高速書き込みにはトンネル面積を大きくとらなければならない。そこで、ファウラ・ノルトハイム・トンネル条件に入る膜厚も利用される。その膜厚は40～80Å程度である。この第2の実施例では、トンネル酸化膜3の膜厚を50Åとした。さらに、ホットキャリアが制御電極中を通過する際も電子のエネルギーが第1の実施例に比べて小さいために散乱・吸収される割合が小さい。したがって、第1の実施例に比べて浮遊電極2に達する電子の割合が大きくなるという利点が生じる。

正書き込みの場合は制御電極1に負バイアス（例えば-4V以上）を与え、ホールを電荷注入用電極（p<sup>+</sup>Si）14から注入させる。このとき、補助制御電極16に制御電極1にかけたバイアスよりも深い負バイアスをかけて、浮遊電極2にホールが蓄積されていっても、浮遊電極2の電極に制御電極1の電位よりも高くないようにしておけばよい。ただし、通常はすでに負書き込みを行なっている浮遊電極2の電位が低くなっているため、補助制御電極16には制御電位と同じバイアスをかけておけばよい（第4図（c））。

また、絶縁膜12の膜厚の制限がなくなるので、厚さ100Å以上にもすることができ、電荷保持特性を向上させることができる。これは、従来の浮遊電極型EEPROMが、低書き込み電圧を目指してトンネル絶縁膜を薄くしたために保持特性の向上が図れなかったのに対し、本実施例の大きな利点の一つである。

なお、補助制御電極16は浮遊電極2と容量結合をすればよいので、必ずしも第3図に示すように浮遊電極の上部に位置する必要はない。また、読出しトランジスタ11との容量結合を利用することにより、補助制御電極16を省略することもできる。第4図において（a）は第2図（a）と同様に無バイアス蓄積電荷無しの初期状態を示すエネルギーバンド図である。

第2の実施例の有効性を検証するために行なった実験結果について説明する。ここでは浮遊電極に端子を設け、浮遊電極の電位を変えていったときに浮遊電極に流れ込む電流を調べた。もはや「浮遊」電極ではないので、以下の説明ではプローブ電極と呼ぶことにする。トンネル絶縁膜の膜厚は75Å、トンネル領域面積は1.1μm<sup>2</sup>である。制御電極には厚さ130Åで不純物濃度が約 $5 \times 10^{19}$ cm<sup>-3</sup>のリンドーパ・ポリSiを用いた。プローブ電極には、同じリンドーパ・ポリSiを1500Åの厚さで用いた。制御電極とプローブ電極の間の絶縁膜（絶縁膜12に相当）には150ÅのSi酸化膜を用いた。第5図（a）および（b）に、プローブ電極の電位と、制御電極およびプローブ電極に流れる電流との関係を示す。ここでは制御電極を0電位にとった。第5図（b）において電荷注入用電極に-11.3Vを印加したときを例にとると、プローブ電極の電位が0.7Vを超えると、プローブ電極電流が流れ出し、プローブ電極電位が1Vから3Vまで増加したときにプローブ電極電流は15%以下しか増加しない。従来のEEPROM構造では指数関数的に電流が増加することと比較すると、この結果は、プローブ電極電流がプローブ電極電位にほとんど依存しないことを示している。したがって、第2の実施例の有効性が実証された。

ここで注意すべきことは、プローブ電極電位が0.7V以下でほとんどプローブ電極電流が流れない点である。これは、制御電極に用いたポリSiの不純物濃度が十分高濃度でないために、薄い制御電極全体が高い印加電圧のために空乏化してしまっており、制御電極の電位が0Vにお

えられていないためと考えられる。プローブ電極電位を増加していったところ、制御電極の空乏化がプローブ電極の電圧のためにとけ、制御電極の電位が固定され、プローブ電極電流が突然流れ出したと考えられる。以上の解釈は、制御電極電流の特性（第5図

(a)）も正しく説明している。もし制御電極の電位が完全に固定されていれば、制御電極電流はプローブ電極電位に関係なく一定のはずだからである。したがって、第1の実施例で説明したようなプローブ電極が制御電極よりも電位が低い状態で電流が流れるという原理が第5図(b)で否定されたというわけではない。

次に、第2の実施例を従来のEEPROM製造技術であるポリシリコンゲート・プロセスを利用してより具体化した第3の実施例について、第6図および第7図を用いて説明する。

この実施例では、正・負それぞれの書き込み動作に応じて異なった導電型の電荷注入用電極と制御電極の対(n型の17と18、およびp型の19と20)を用意する。電荷注入用電極としてはシリコン基板中に形成した拡散層を、制御電極としてはドーパド・ポリSiを用いる。トンネル絶縁膜3および制御電極18、20と浮遊電極2間の絶縁膜(シリコン酸化膜)12を用いる。

また、読み出し用トランジスタ11は浮遊電極2に蓄積された電荷量を検出するためのもので、ゲート21を備えている。このゲートによって第1の実施例の冒頭で説明した読み出しトランジスタの型は問題でなくなる。すなわち、従来例と同様に浮遊電極に蓄えられた電荷量は読み出しトランジスタのしきい値変化として検出される。したがって、ゲート21は従来のEEPROMの制御電極に相当する。また、本発明では第2の実施例で説明した補助制御電極としても機能する。ゲート絶縁膜22は書き込み時にこの部分から電荷が浮遊電極に注入されないようにトンネル絶縁膜3に比べて十分厚くしなければならない。例えば120Å以上は必要である。

第7図(a)に負書き込み時のエネルギーバンド図を示す。ゲート21は浮遊電極2と容量結合しているので、負書き込み時にゲート21に制御電極18にかけたバイアスよりも深い正バイアスをかけておき、浮遊電極2に電子が蓄積されていっても、浮遊電極2の電位が制御電極18の電位よりも低くならないようにしておく。

第7図(b)に正書き込みの場合を示す。上と同様にゲート21に適当なバイアスをかけて、浮遊電極2にホールが蓄積されていっても、浮遊電極2の電位が制御電極20の電位よりも高くないようにしておく。

ここで、正・負書き込みでそれぞれ異なった導電型の電極対が必要な理由を説明する。まず電流供給の関係から、電荷注入用電極には負書き込みの場合にはn型半導体が、正書き込みの場合にはp型半導体が適当である。次に、制御電極として例えば、制御電極18(n<sup>+</sup>ポリSi)に負バイアスをかけて制御電極側にホールを注入しようと

しても、同時に制御電極18から電荷注入用電極に向かって電子が抜けていく。この電流によってトンネル絶縁膜3にそれ以上の電界がかけられず、ホットホールの注入が困難になる。逆の場合も同様である。

第1ないし第3の実施例では電荷注入用電極と制御電極の間のトンネリングを絶縁膜3を通して行なったが、第8図および第9図に示すように、電荷注入用電極13(p<sup>+</sup>)、14(n<sup>+</sup>)と制御電極1(n<sup>+</sup>とp<sup>+</sup>)を半導体基板中の高濃度の反対導電型の拡散層で形成し、逆バイアス下でのpn接合での強いバンドの曲がりによるバンド間トンネリングによりキャリアを注入することもできる。この場合も制御電極1を構成する拡散層は、1000Å程度以下の極めて薄いものでなければならない。なお第9図において第4図と同一部分又は相当部分には同一符号が付してある。

#### 〔発明の効果〕

以上説明したように本発明は、トンネル効果によってホットキャリアを発生させる電荷注入用電極と、この電荷注入電極と浮遊電極との間に設けられたトンネル電圧設定用の制御電極と、制御電極と浮遊電極との間に設けられた絶縁膜とを備え、ホットキャリアを浮遊電極を覆っている絶縁膜のエネルギー障壁を越えて浮遊電極に注入させるようにしたことにより、トンネルのための電位差は電荷注入用電極と制御電極の間の電位差で決まり、浮遊電極の電位には影響されず、制御電極を極めて薄いものとすれば、浮遊電極に蓄積された電荷によってトンネル電流が低下するということがないので、注入時間に比例して浮遊電極に電荷を蓄積することができ、浮遊電極をゲートとするトランジスタのしきい値を注入時間に比例して変えることができる。これにより、アナログ値を記憶させることが容易な不揮発性メモリを構成することができる。

また、浮遊電極の上に絶縁膜を介して補助制御電極を設ければ、第2の実施例で示すように、浮遊電極を従来の浮遊電極型EEPROMセルの場合以上に厚い絶縁膜で覆うことができるので、電荷保持特性の良好なEEPROMを構成することができる。

さらに、従来のEEPROMが電荷注入用電極と浮遊電極の間の容量および浮遊電極と制御電極の間の容量の容量分割により電荷注入用電極と浮遊電極の間に設けられたトンネル絶縁膜に電圧をかけていたため、制御電極に印加する書き込み電圧をトンネル絶縁膜に有効にかけるためには、電荷注入用電極と浮遊電極の間の容量と浮遊電極と制御電極の間の容量の比をできるだけ小さくしなければならず、前者の容量を小さくすることには限界があり、後者の容量を大きくするために浮遊電極と制御電極の間の絶縁膜を薄くすることは電荷保持特性を劣化させるために望ましくないため、結局浮遊電極と制御電極の間のオーバーラップ面積をできるだけ大きくしなければならず、そのためにセル面積の縮小が困難になっていたのに

対し、本発明は容量結合という方法をとっていないため、各部分の容量に制限がなく、そのためにセル面積を縮小することが容易であるという効果がある。また、浮遊電極の容量を小さくできるために少ない電荷量で十分な読出しトランジスタのしきい値電圧変化が得られるという効果がある。

以上の利点によって、本発明で、容易にアナログ情報を不揮発的に蓄積できる高密度・高性能なメモリを構成できる。すなわち、メモリ外部に複雑な制御回路を必要とせず、一定の電圧値を有する書き込み電圧パルスにより、パルス数に比例した情報を不揮発的に且つ高い保持特性を有して蓄積することができる。これを例えば神経回路網を利用したLSIに適用するならば、高密度で高性能な神経回路網型アナログLSIが構成でき、極めて高性能なパターン認識装置や音声認識装置などを作ることができる。

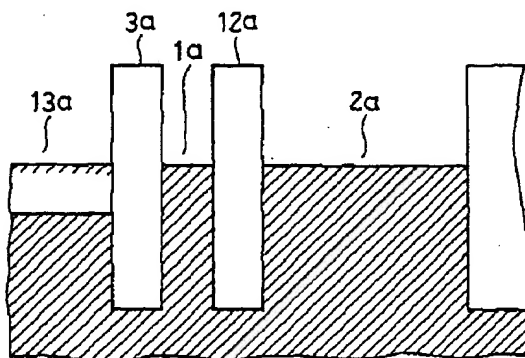
#### 【図面の簡単な説明】

第1図および第2図は本発明の第1の実施例の構造模式図および各種動作時のエネルギーバンド図、第3図およ

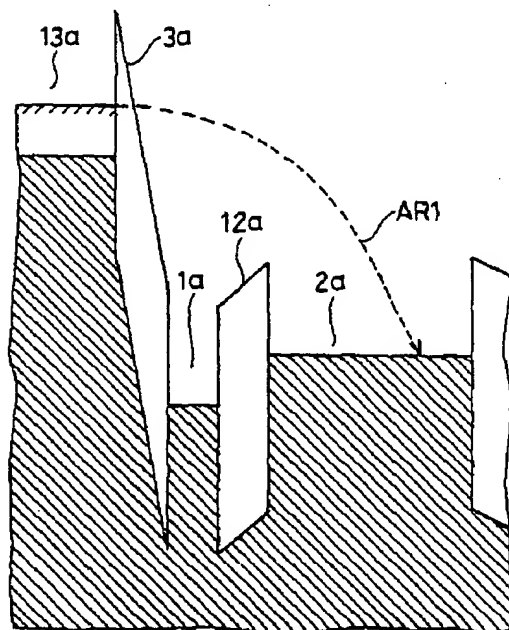
び第4図は本発明の第2の実施例の構造模式図および各種動作時のエネルギーバンド図、第5図は第2の実施例の有効性を実証する実験データ（プローブ電極（浮遊電極）の電位と制御電極およびプローブ電極（浮遊電極）に流れる電流との関係を示すグラフ、第6図および第7図は本発明の第3の実施例の構造模式図および各種動作時のエネルギーバンド図、第8図および第9図は本発明の第4の実施例の構造模式図および各種動作時のエネルギーバンド図、第10図および第11図は従来から使われている不揮発性メモリの典型例である浮遊電極型およびMOS型のEEPROMセルを示す断面模式図、第12図はシリコン酸化膜における代表的なトンネル特性を示すグラフ、第13図はEEPROMにおける書き込み時間と浮遊電極をゲートとするトランジスタのしきい値変化量の関係を示すグラフである。

1……制御電極、2……浮遊電極、3……トンネル絶縁膜、11……読出しトランジスタ、12……絶縁膜、13, 14……電荷注入用電極。

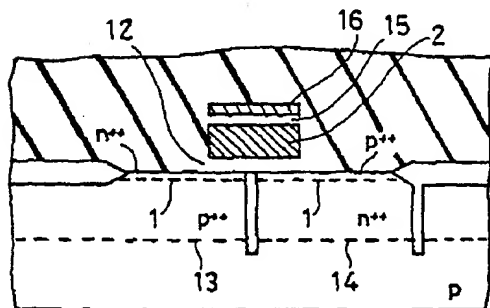
【第2図（a）】



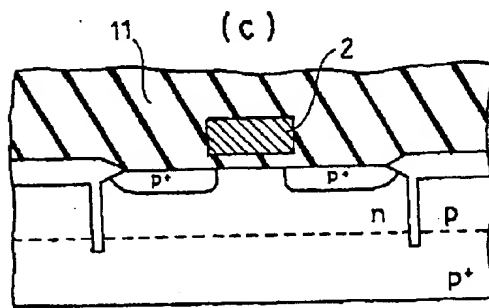
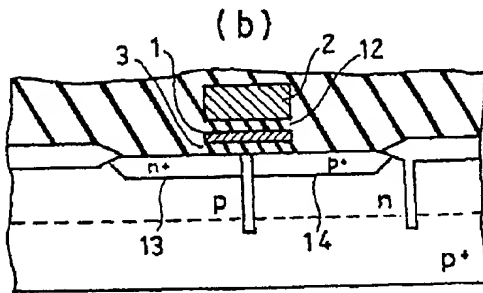
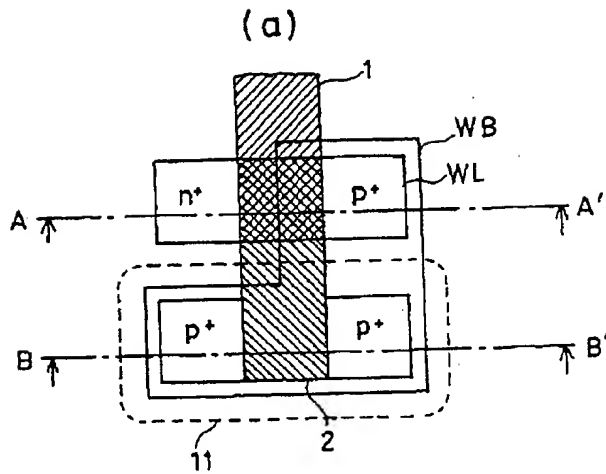
【第2図（b）】



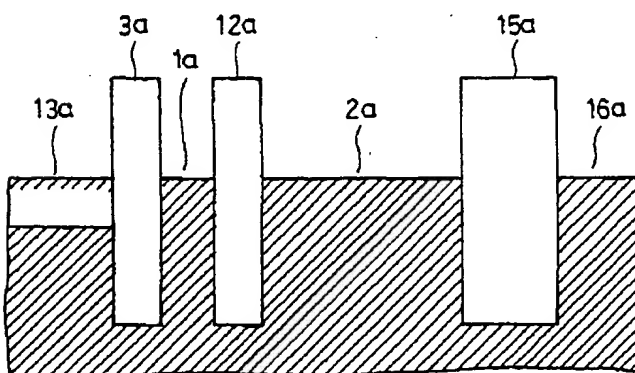
【第8図】



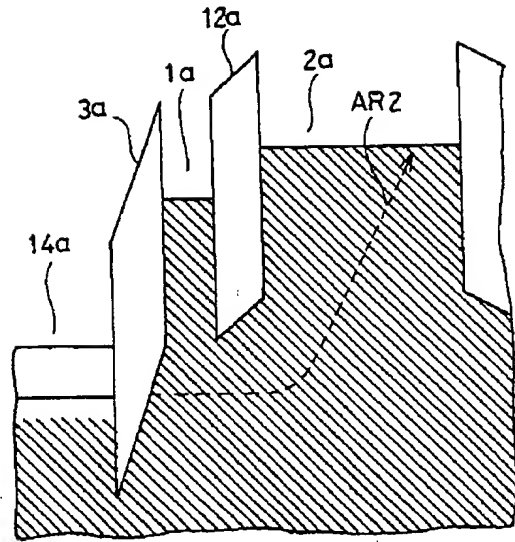
【第1図】



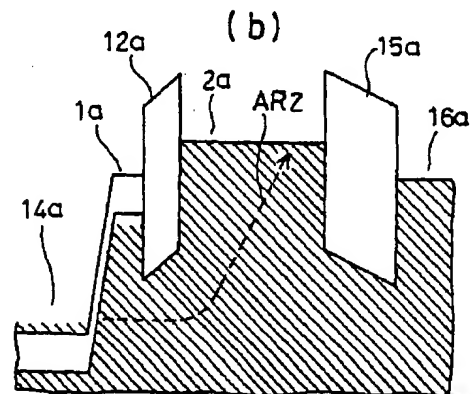
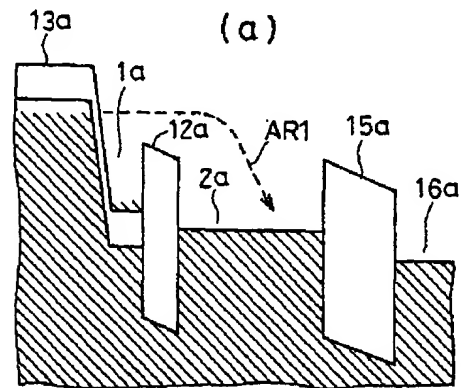
【第4図 (a)】



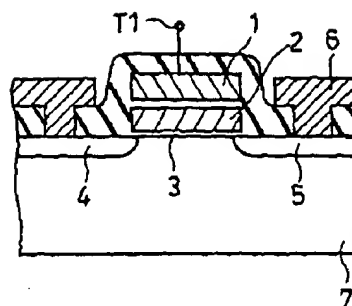
【第2図 (c)】



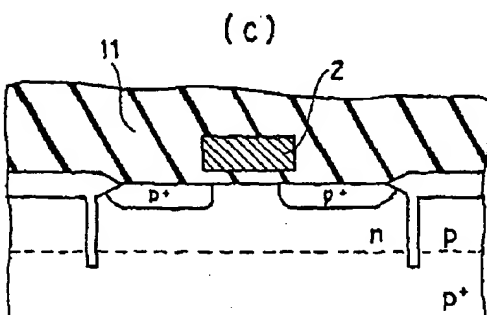
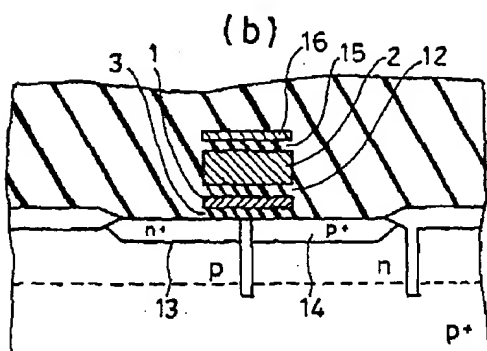
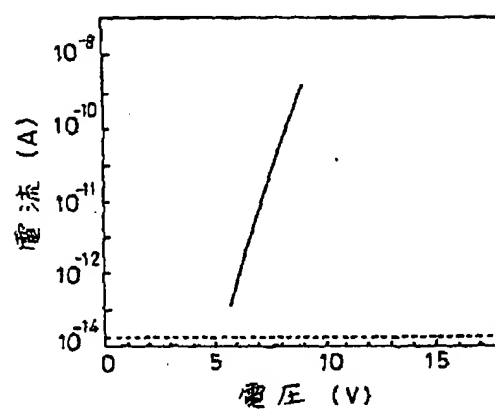
【第9図】



【第10図】

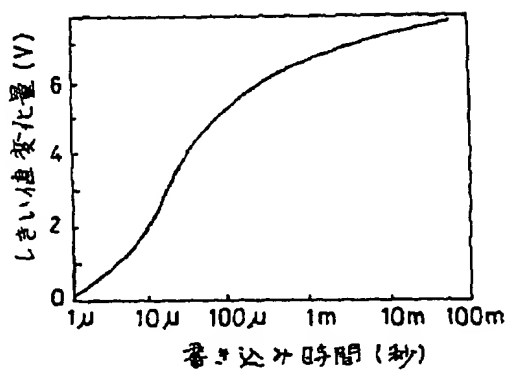
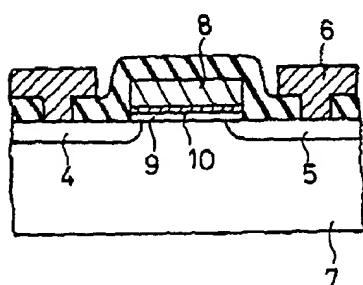


【第12図】

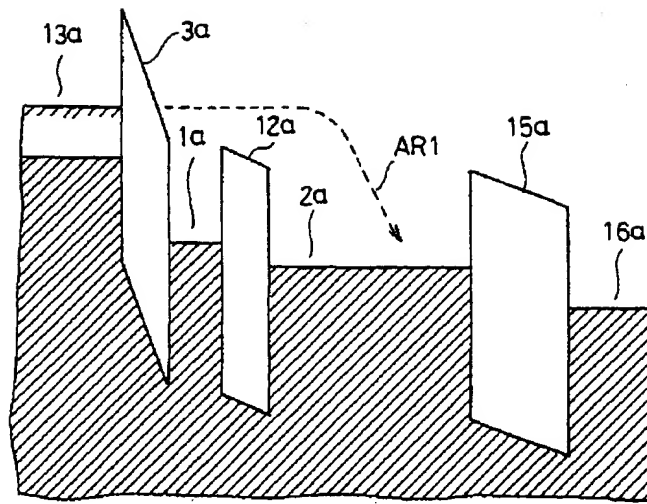


【第 1 1 図】

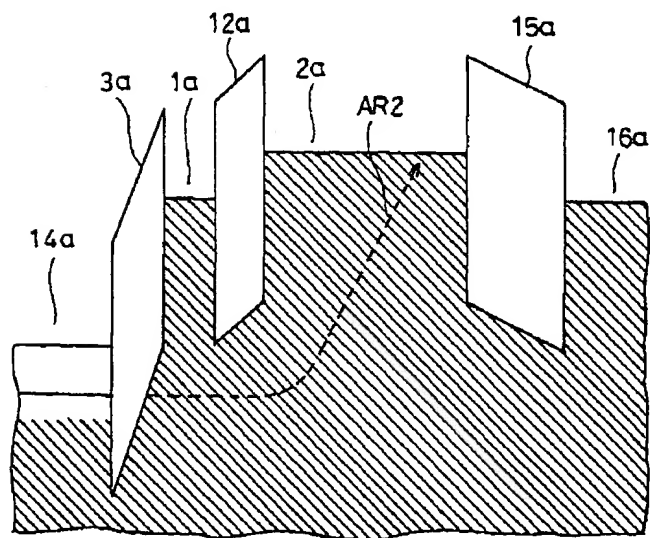
【第13図】



【第4図 (b)】

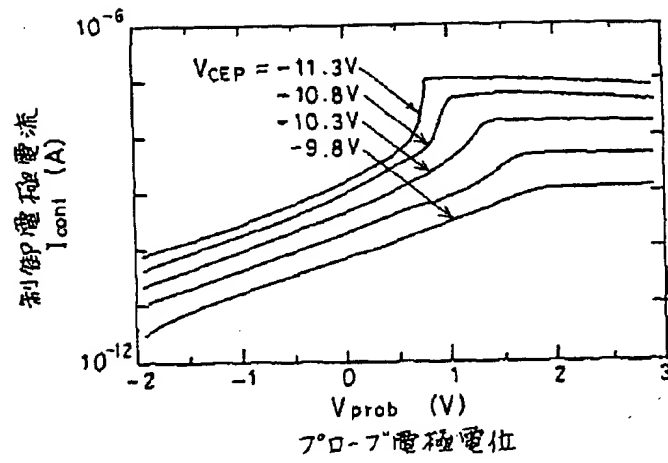


【第4図 (c)】

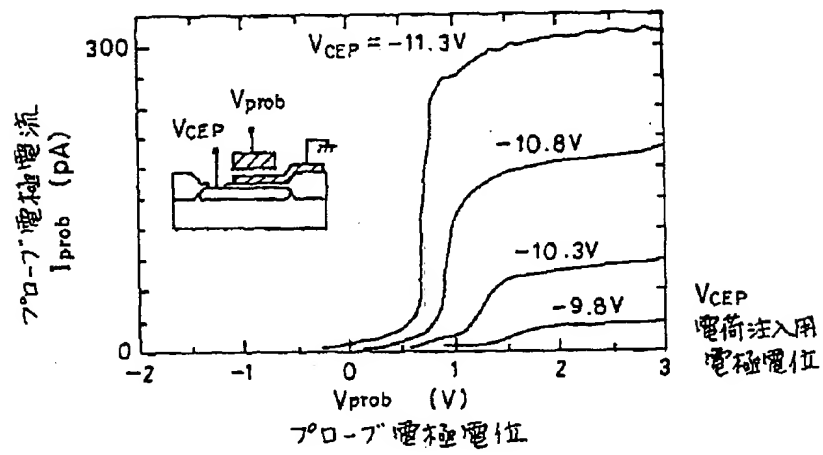


【第5図】

(a)



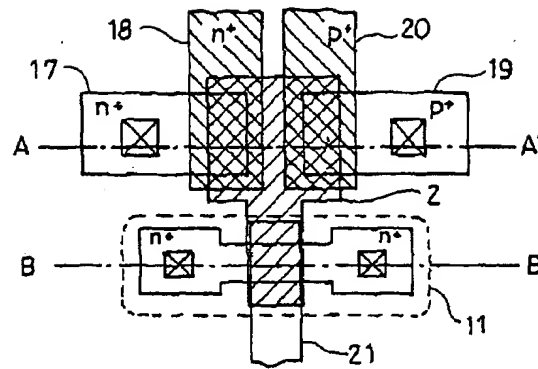
(b)



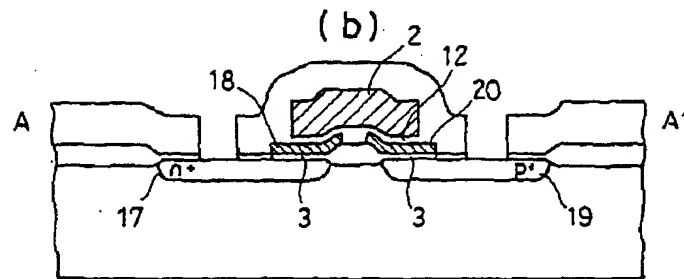


【第6圖】

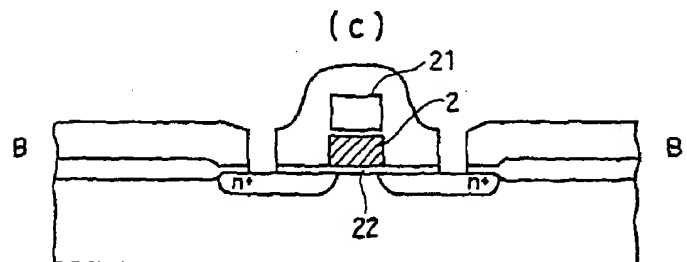
( a )



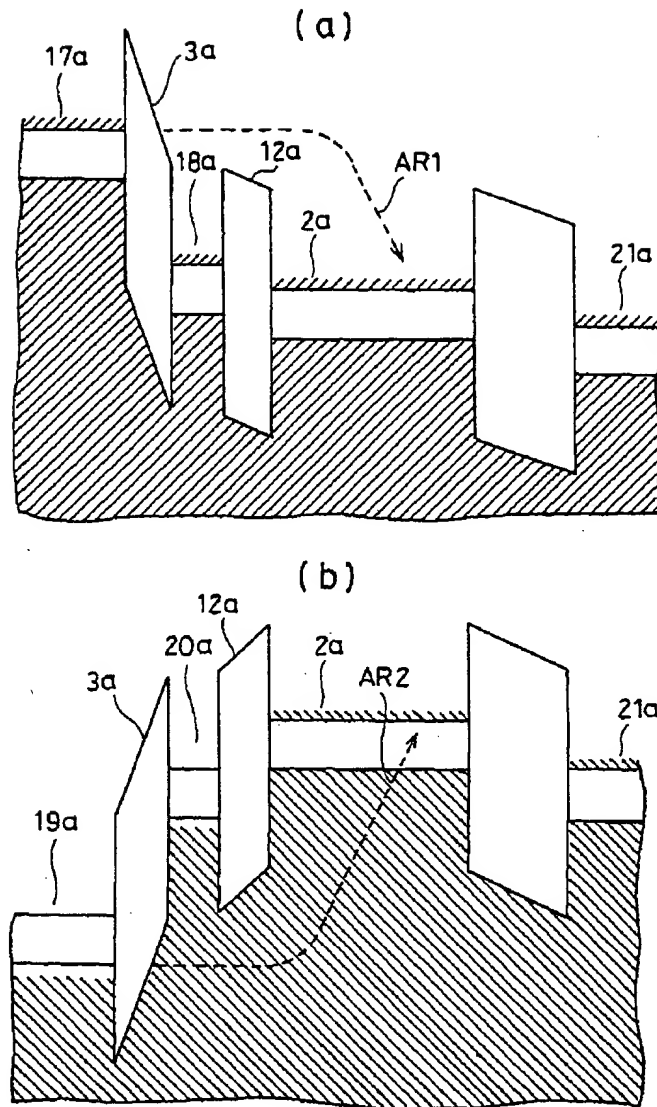
( b )



( c )



【第7図】



フロントページの続き

(58) 調査した分野(Int. Cl.<sup>6</sup>, DB名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

G11C 27/00 101